

Tecnología de Computadores

TEMA 4: Caracterización y modelado de dispositivos MOS

Curso 2004-05

© Grupo de Tecnología de Computadores. DATSI-FI-UPM,
Consuelo Gonzalo Martín (GRUPO 22M)

Índice

4.1 Estructura Física

4.2 Características de los dispositivos MOS

4.2.1 Curvas y ecuaciones características

4.2.2 Modelado de resistencia y capacidad

4.3 El inversor CMOS

4.3.1 Función de Transferencia

4.3.2 Retardos de propagación

4.3.3 Disipación de potencia/velocidad

4.4 Interfaz entre circuitos. Salida Triestado

Objetivos

- ❑ Entender la estructura y comportamiento de un transistor MOS desde un punto de vista tecnológico.
- ❑ Comenzar a familiarizarse con la representación de dispositivos en formato layout.

Introducción

Clasificación de los dispositivos MOS

□ Estructural

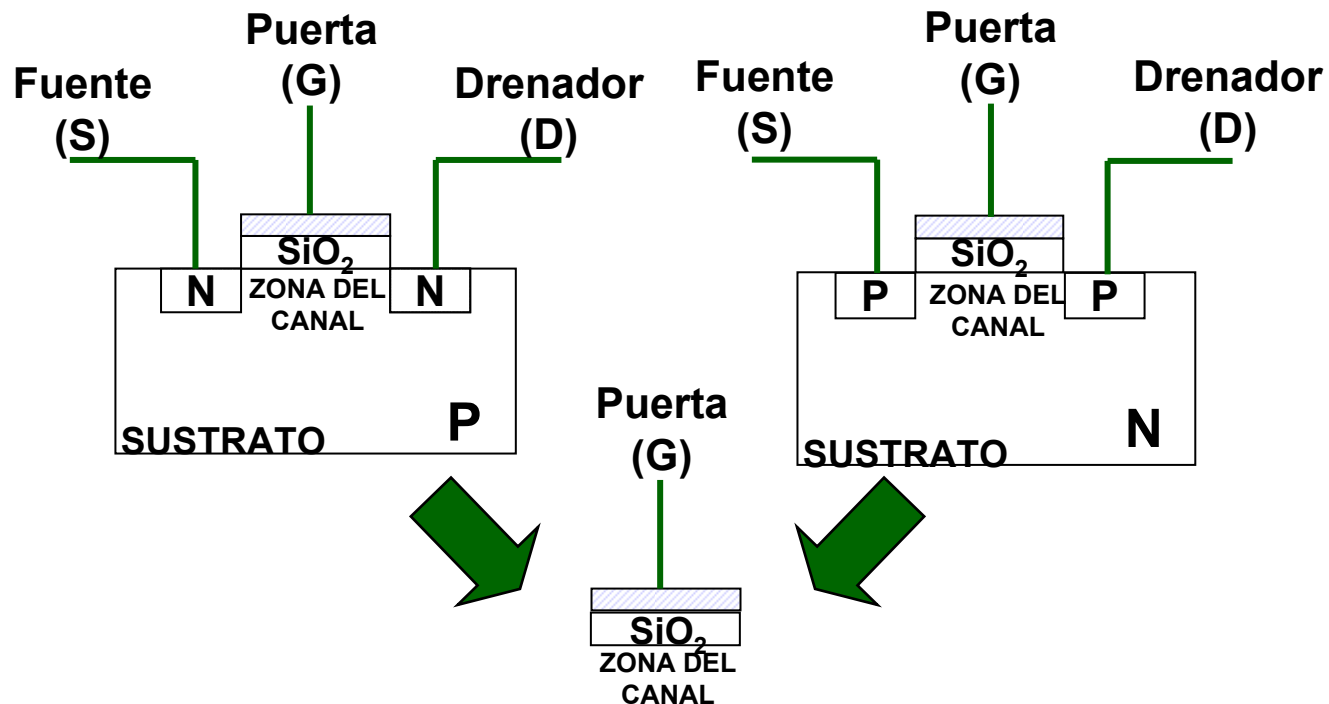
- **nMOS:** Substrato tipo p, fuente y drenador tipo n
- **pMOS:** Substrato tipo n, fuente y drenador tipo p

□ Funcional

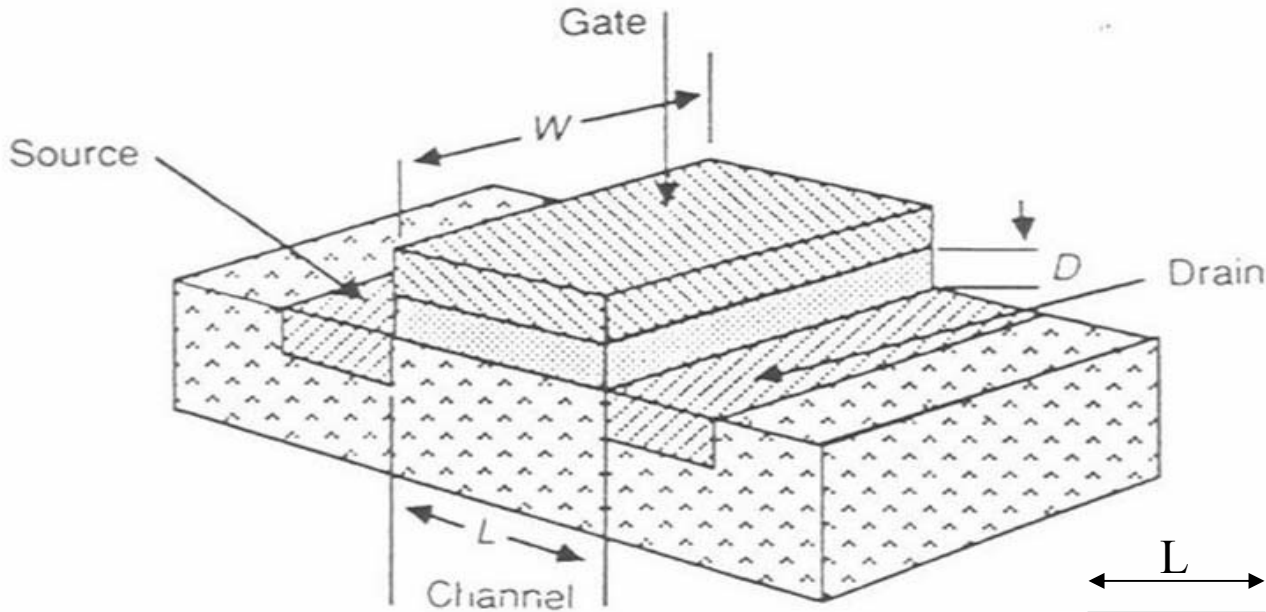
- **Vaciamiento:** el transistor se fabrica con el canal ya formado.
- **Acumulación o enriquecimiento:** requiere una adecuada polarización para la formación del canal

Estructura Física

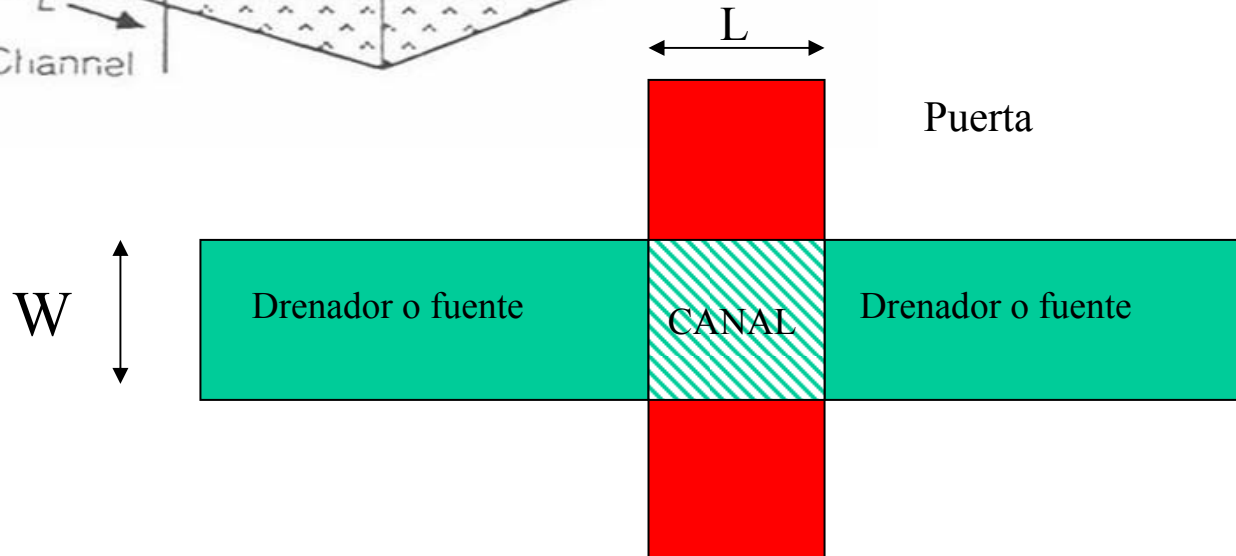
Definición: Dispositivo unipolar, simétrico con una alta impedancia de entrada y controlado por una tensión de entrada



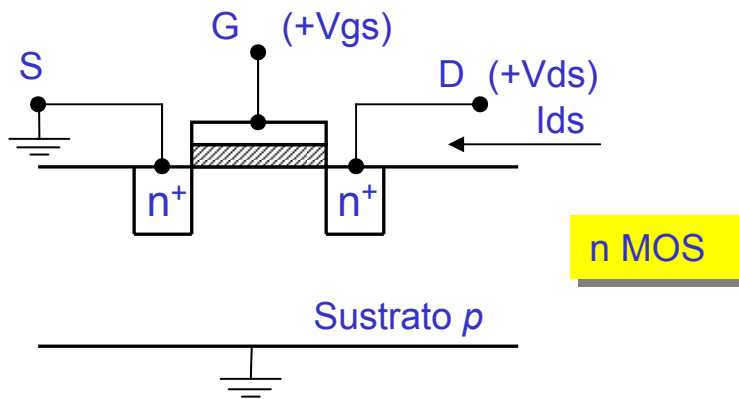
Estructura Física



layout



Polarización (n-MOS)



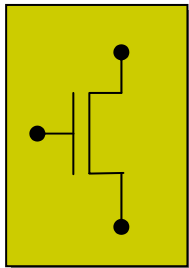
Formación del canal

Si $V_{gs} > V_t$ (Transistor en "ON")

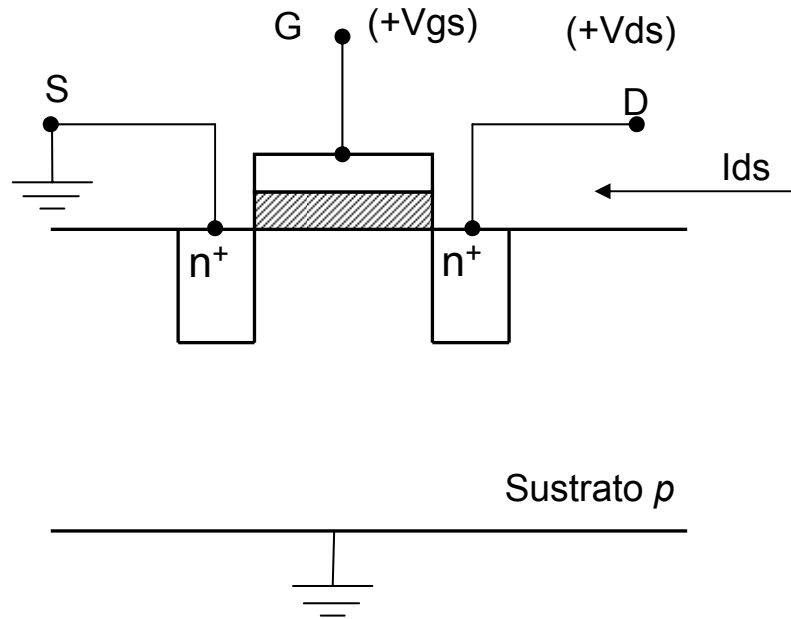
Si $V_{gs} < V_t$ (Transistor en "OFF" o en corte)
($I_{ds}=0$)

donde V_t - Tensión umbral

valores típicos: 0,7 – 0,9 V



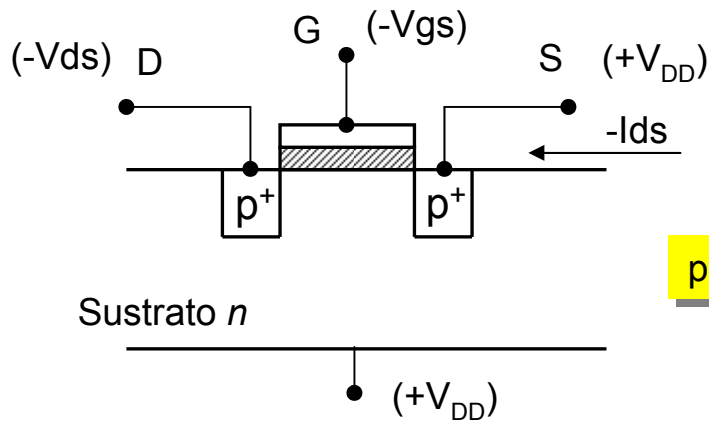
Polarización (n-MOS)



Factores que determinan el valor de I_{ds} :

- Tensión entre puerta y fuente
- Tensión entre drenador y fuente
- Tensión entre fuente y sustrato
- Distancia entre fuente y drenador, L
- Anchura de canal, W
- Movilidad de los portadores.
- Tensión umbral que a su vez depende:
 - Material de la puerta
 - Material y espesor del aislante
 - Concentración de impurezas en el canal y en la interface Si-aislante
 - Tensión entre fuente y sustrato (efecto cuerpo o sustrato)

Polarización (p-MOS)



p MOS

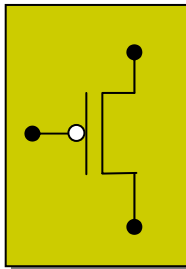
Formación del canal

Si $V_{gs} < V_t$ (Transistor en "ON")

Si $V_{gs} > V_t$ (Transistor en "OFF" o en corte)
($I_{ds}=0$)

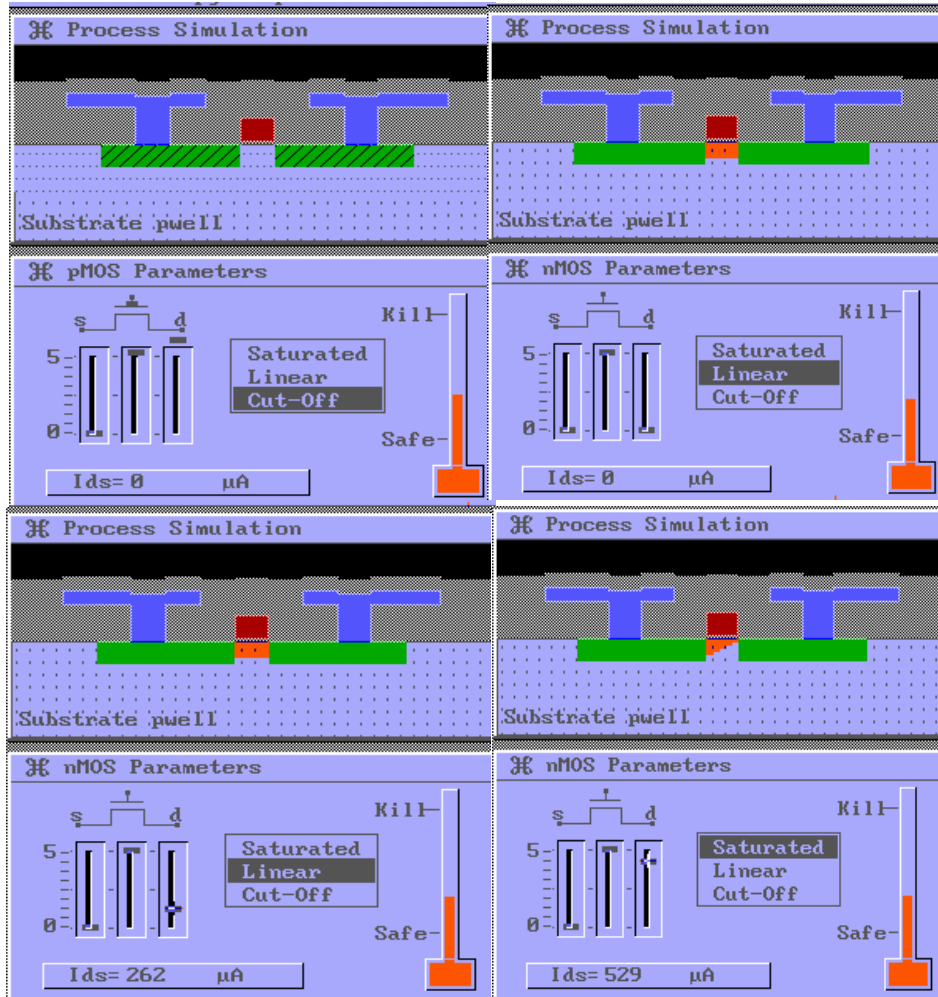
donde V_t - Tensión umbral

valores típicos: (-1,1) – (-1,3) V



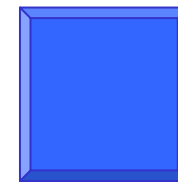
Símbolo

Características de los dispositivos MOS



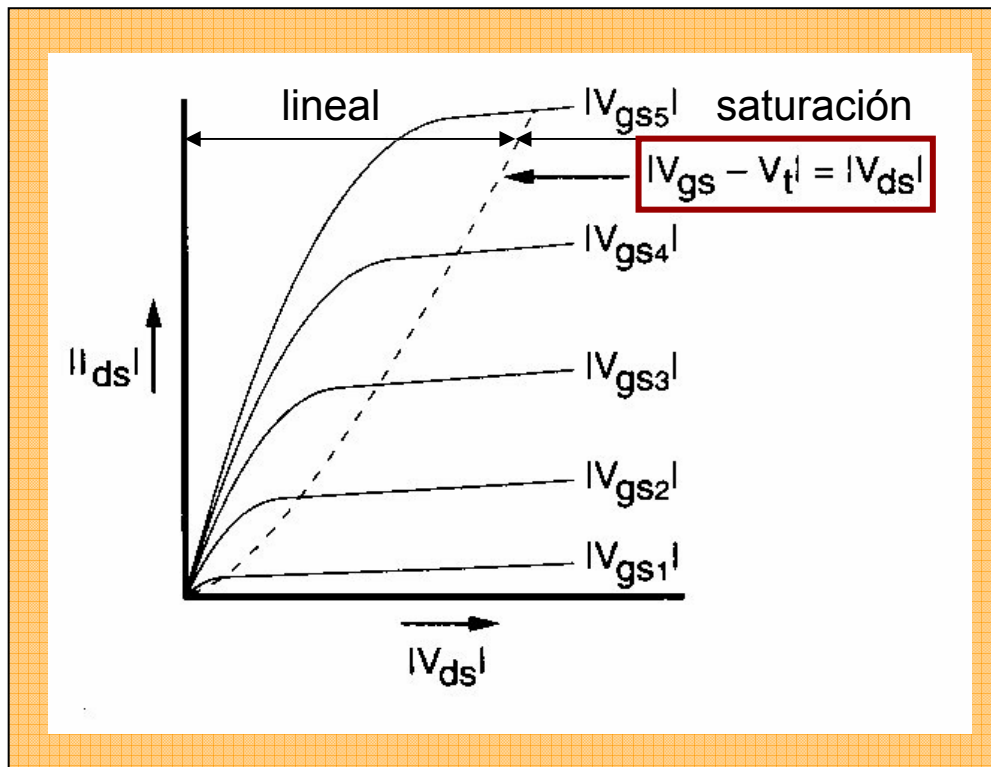
Zonas de funcionamiento de los dispositivos MOS:

- Corte
- Lineal
- Saturación

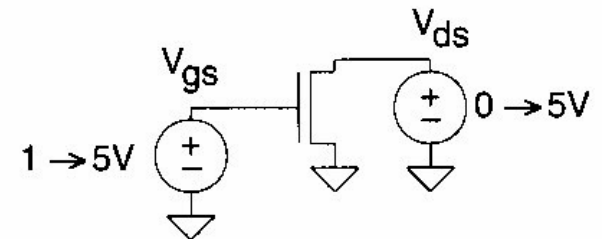


Curvas y ecuaciones (nMOS)

Reflejan la variación de la corriente I_{ds} en función de la tensión V_{ds} para diferentes valores de V_{gs} constantes.



$$V_{gs5} > V_{gs4} > V_{gs3} > V_{gs2} > V_{gs1} > V_t$$



Curvas características de los transistores nMOS

(Figura 2.9 de [Wes.93])

Curvas y ecuaciones (nMOS)

Si $V_{gs} < V_{th}$ (Zona corte)

$$I_{ds} = 0$$

Si $V_{gs} - V_{th} > V_{ds}$ (Zona lineal)

$$I_{ds} = \beta \left[(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2} \right]$$

Si $V_{gs} - V_{th} < V_{ds}$ (Zona saturación)

$$I_{ds} = \frac{\beta}{2} [2(V_{gs} - V_t) - V_{ds}]V_{ds}$$

β -factor de ganancia del transistor

$$\beta = \frac{\mu\epsilon}{t_{ox}} \left(\frac{W}{L} \right) = \mu C_{ox} \left(\frac{W}{L} \right) = K \left(\frac{W}{L} \right)$$

μ - movilidad de los portadores (μ_p o μ_n)

t_{ox} - espesor de la capa de óxido (SiO_2)

ϵ - permitividad del medio (SiO_2)

W - ancho del canal

L - longitud del canal

K - factor dependiente del proceso de fabricación

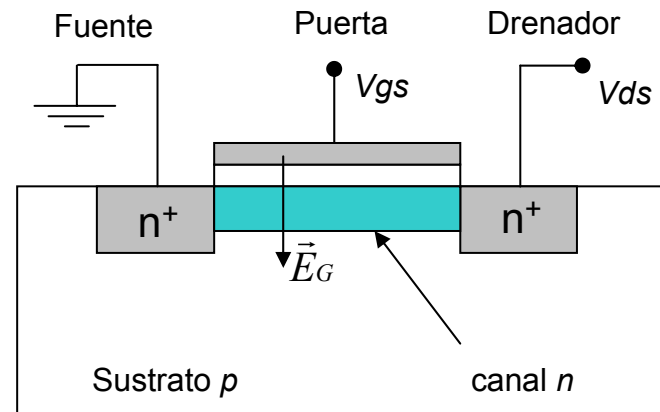
$\left(\frac{W}{L} \right)$ - relación de aspecto

$C_{ox} = \frac{\epsilon}{t_{ox}}$ Capacidad de puerta por unidad de área

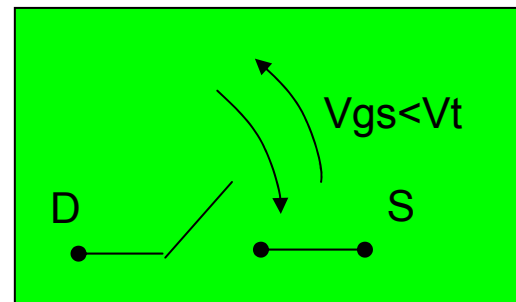
Zona de corte

$$V_{gs} < V_{th} \text{ o } V_{gs} > V_t \text{ y } V_{ds} = 0$$

$$I_{ds} = 0$$



Modelo equivalente:



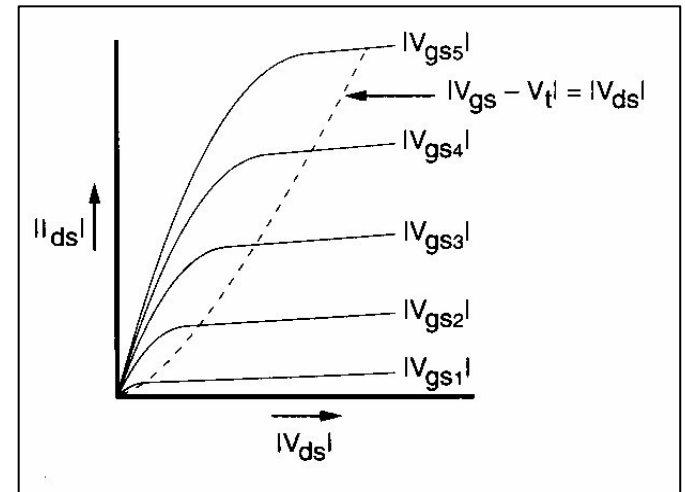
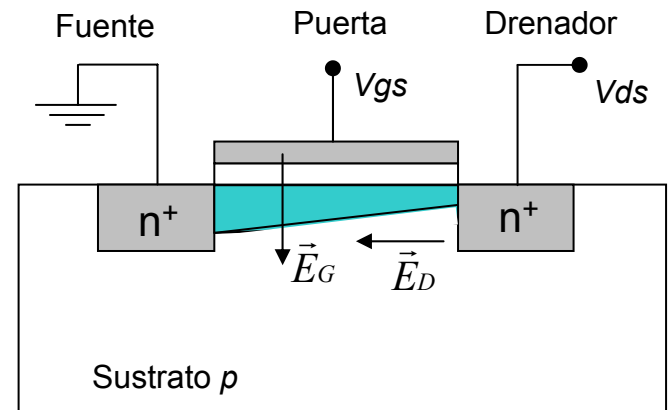
Zona lineal

$$0 < V_{ds} < V_{gs} - V_{th}$$

$$I_{ds} = \frac{\beta}{2} [2(V_{gs} - V_t) - V_{ds}] V_{ds}$$

$$\frac{V_{ds}}{I_{ds}} = \frac{1}{\frac{\beta}{2} [2(V_{gs} - V_t) - V_{ds}]}$$

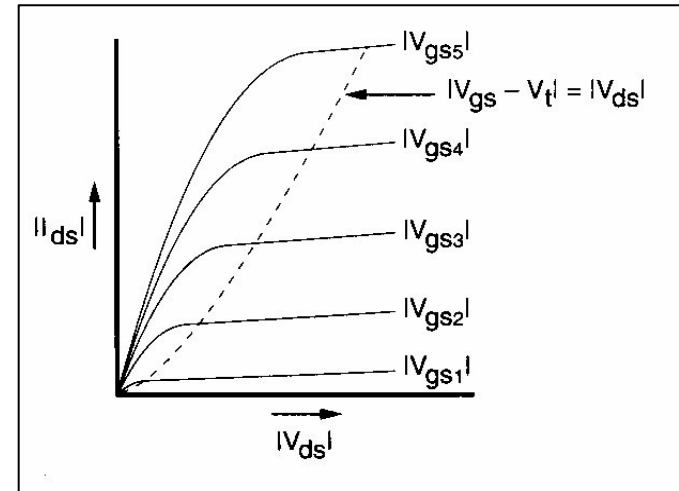
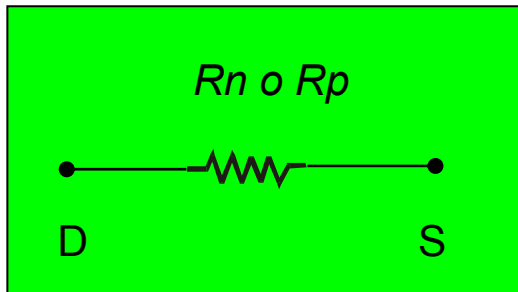
$$\frac{V_{ds}}{I_{ds}} \cong \frac{1}{\beta [V_{gs} - V_t]} = \frac{1}{K \left(\frac{W}{L} \right) (V_{gs} - V_t)} = cte$$



Zona lineal

Modelo equivalente:

$$R \cong \left(\frac{L}{W} \right) \left(\frac{1}{K(V_{gs} - V_t)} \right) = cte$$



$$R_5 < R_4 < R_3$$

Zona de saturación

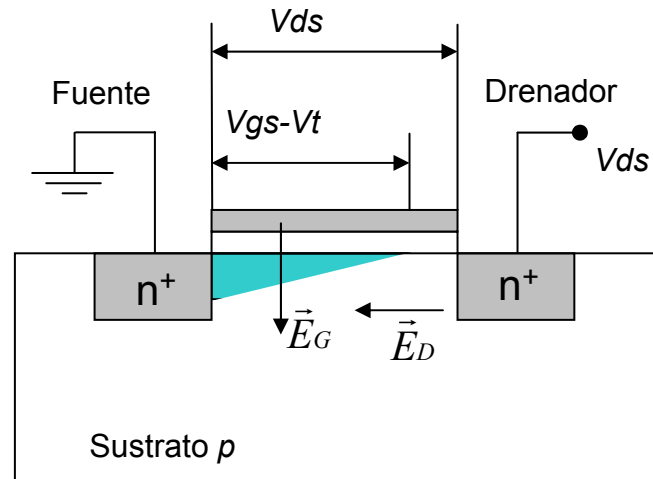
$$0 < V_{ds} > V_{gs} - V_{th}$$

$$I_{ds} = \frac{\beta}{2} [2(V_{gs} - V_t) - V_{ds}] V_{ds}$$

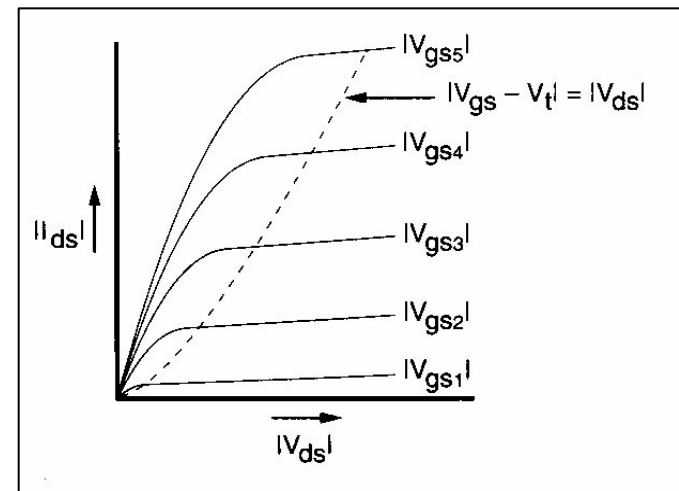
$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2 = \frac{\beta}{2} V_{ds}^2 \cong I_{sat}$$

$$I_{ds}(sat) = \frac{K}{2} \left(\frac{W}{L} \right) (V_{gs} - V_t)^2 (1 + \lambda V_{ds}) \cong cte$$

$$I_{ds} \cong cte. = I_{sat}$$



Canal estrangulado o pinch-off

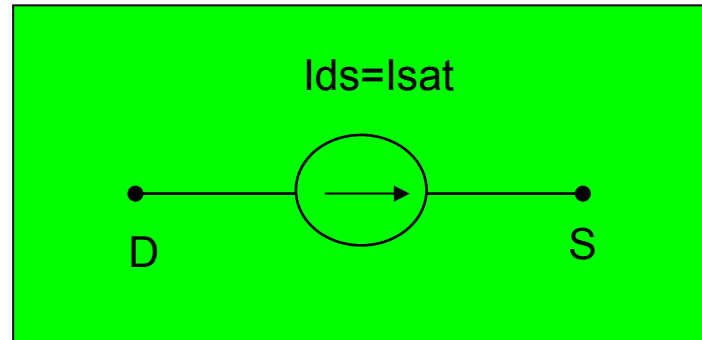


λ - factor de modulación del canal (0,02 - 0,005)

Zona de saturación

Modelo equivalente:

$$I_{ds} \cong cte. = I_{sat}$$



Fuente de corriente

Ecuaciones de un transistor nMOS

Zona de corte

$$V_{gs} < V_t$$

$$I_{ds} = 0$$

Zona lineal

$$V_{gs} > V_t$$
$$V_{ds} < (V_{gs} - V_t)$$

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) [2(V_{gs} - V_t) - V_{ds}] V_{ds}$$

Zona de saturación

$$V_{gs} > V_t$$
$$V_{ds} > (V_{gs} - V_t)$$

$$I_{ds}(sat) = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{gs} - V_t)^2 (1 + \lambda V_{ds})$$

Ecuaciones de un transistor pMOS

Zona de corte

$$V_{gs} > V_t$$

$$I_{ds} = 0$$

Zona lineal

$$\begin{aligned} V_{gs} < V_t \\ V_{ds} > (V_{gs} - V_t) \end{aligned}$$

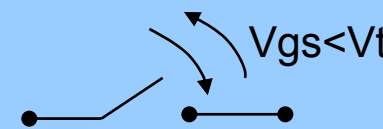
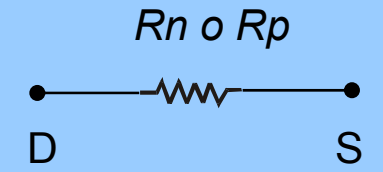
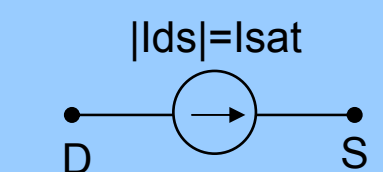
$$I_{ds} = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right) [2(V_{gs} - V_t) - V_{ds}] V_{ds}$$

Zona de saturación

$$\begin{aligned} V_{gs} < V_t \\ V_{ds} < (V_{gs} - V_t) \end{aligned}$$

$$I_{ds}(sat) = \frac{\mu_p C_{ox}}{2} \left(\frac{W}{L} \right) (V_{gs} - V_t)^2 (1 + \lambda V_{ds})$$

Modos de funcionamiento de un transistor MOS

	nMOS	pMOS	Modelo eléctrico equivalente
Zona de corte	$(0 < V_{gs} < V_t)$	$(0 > V_{gs} > V_t)$	
Zona lineal	$V_{ds} < (V_{gs} - V_t)$	$V_{ds} > (V_{gs} - V_t)$	
Zona de saturación	$V_{ds} > (V_{gs} - V_t)$	$V_{ds} < (V_{gs} - V_t)$	

Tensión umbral (Efecto de sustrato)

La tensión umbral V_t en un transistor MOS no es constante y depende de la diferencia de voltaje entre el sustrato y la fuente del transistor V_{sb} . A este hecho se le conoce como como “efecto de polarización del sustrato” o “efecto de sustrato”

La expresión utilizada para reflejar esta dependencia entre V_t y V_{sb} , es como sigue:

$$V_t = V_{to} + \gamma \left[\sqrt{(2\phi_b + |V_{sb}|)} - \sqrt{2\phi_b} \right]$$

donde:

V_{sb} – diferencia de tensión entre fuente y sustrato

V_{to} – tensión umbral del transistor cuando $V_{sb} = 0$

γ – constante que refleja el efecto de polarización del sustrato

(valores típicos: $0,4 \text{ V}^{0.5}$)

$$\phi_b = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) - \text{potencial del sustrato}$$

Tensión umbral (cont.)

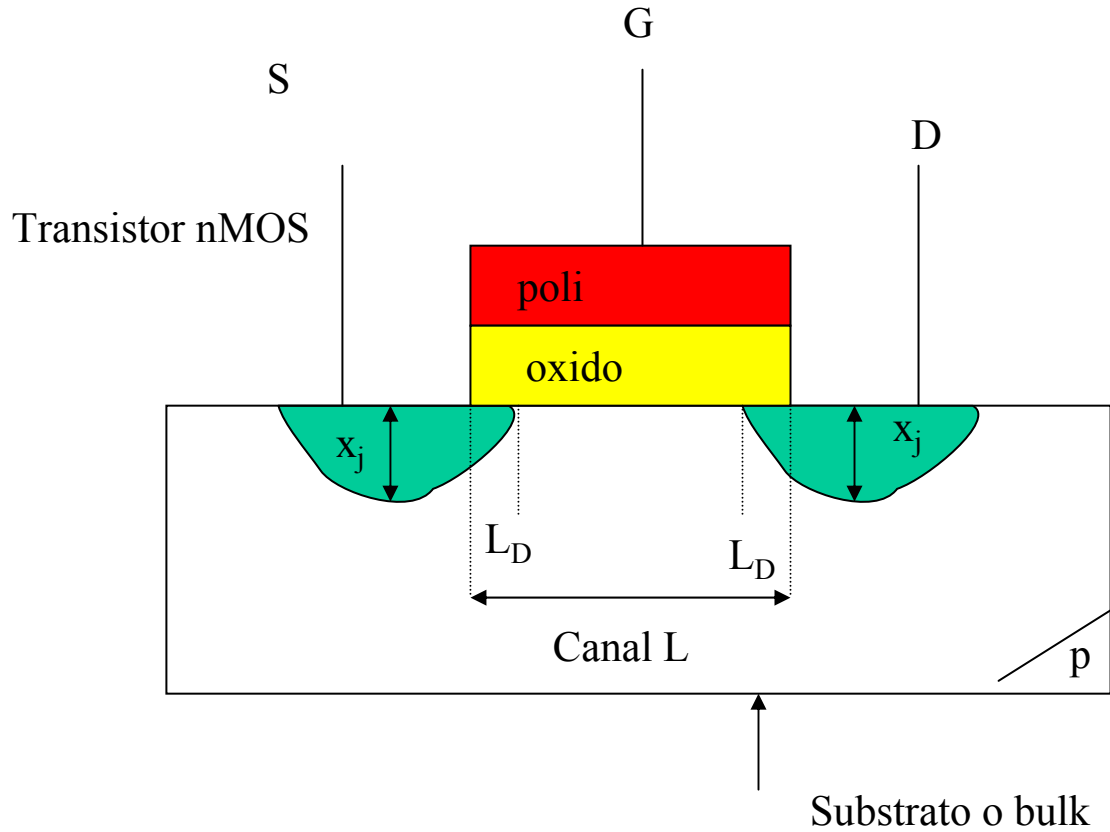
N_A – densidad de portadores en el sustrato (semiconductor dopado) $(10^{16} \text{ cm}^{-3})$

n_i – densidad de portadores en el semiconductor intrínseco $(10^{10} \text{ cm}^{-3})$

En el programa de simulación de circuitos SPICE (*Simulation Program with Integrated Circuit Emphasis*) estos parámetros reciben la siguiente denominación:

parámetro	SPICE (denominación)	Unidades	Valores típicos (1 μm)	
			nMOS	pMOS
γ	GAMMA	V^{0.5}	0,4	0,4
V_{to}	VTO	V	0,7	-1,1
N_A	NSUB	cm⁻³	2x10¹⁶	4x10¹⁶
$\phi_s = 2\phi_b$	PHI	V	0,37	0,36

Capacidades en los transistores MOS



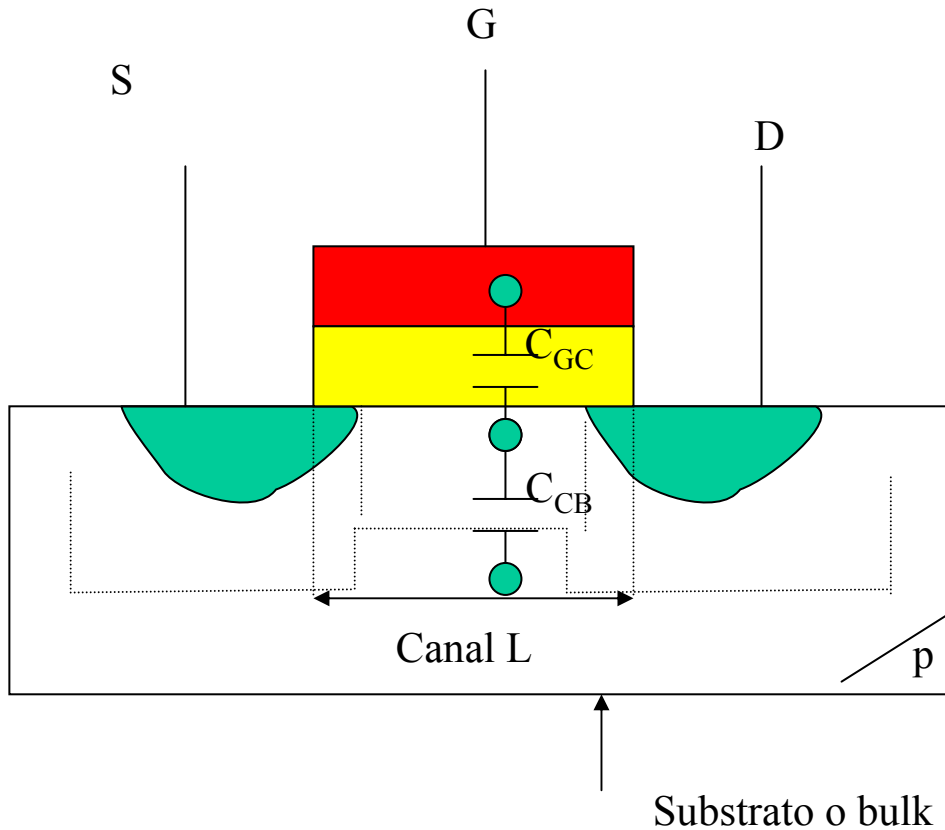
- Se forma una capacidad:
- cuando hay estructuras (*conductor aislante semiconductor*)
 - uniones PN

L_D difusión lateral

x_j profundidad de difusión, anchura de las islas

Capacidades en los transistores MOS

Capacidades asociadas a la puerta

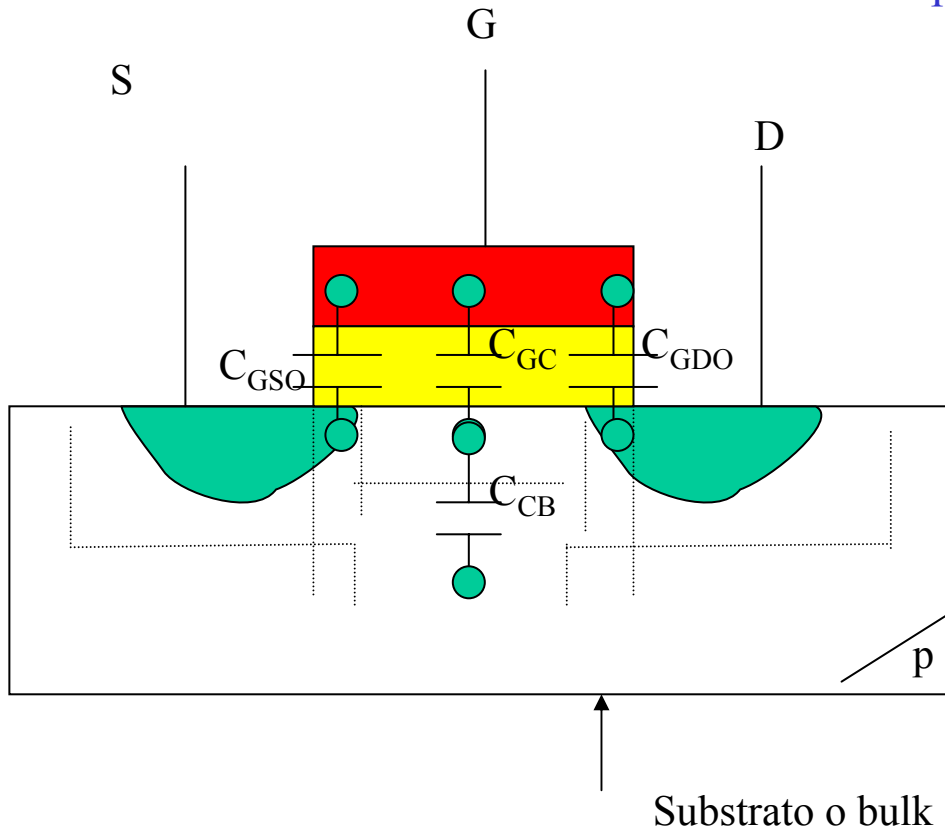


C_{GC} - Capacitancia puerta canal (poli-oxido-canal)

C_{CB} - Capacitancia canal sustrato (BULK).
Unión N (canal) P (bulk)

Capacidades en los transistores MOS

Capacidades asociadas al solapamiento

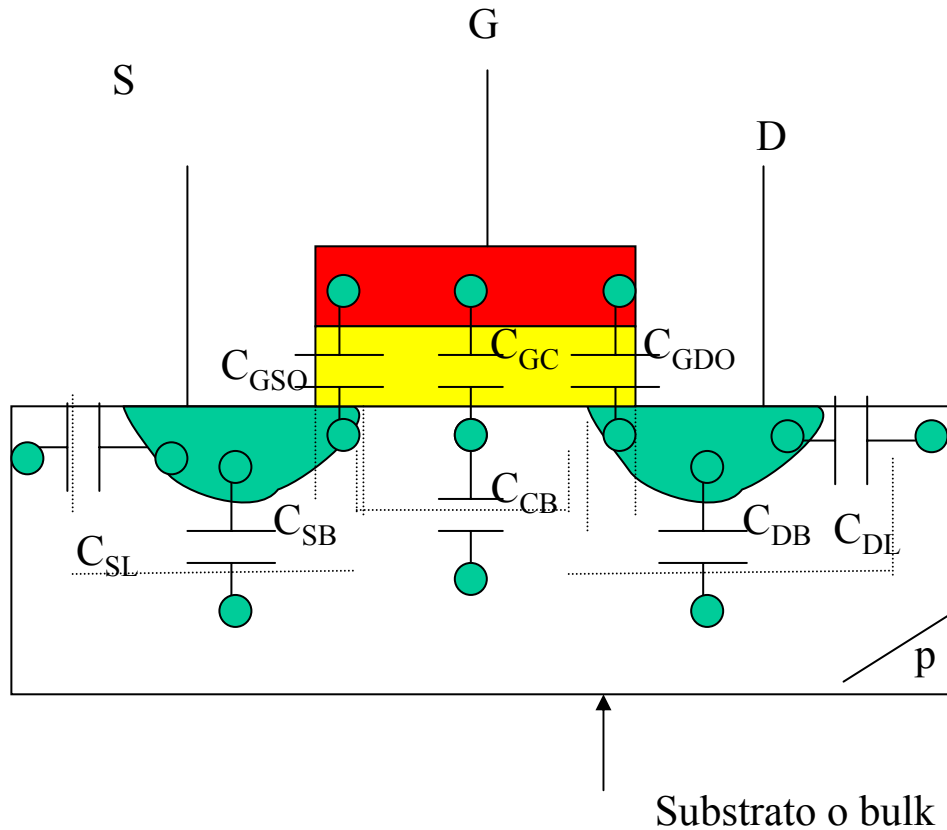


C_{GSO} - Capacidad puerta fuente solapamiento (poli-oxido-isleta)

C_{GDO} - Capacidad puerta drenador solapamiento (poli-oxido-isleta)

Capacidades en los transistores MOS

Capacidades asociadas a los drenadores y fuentes



C_{SB} - Capacidad fuente (N) sustrato (P)

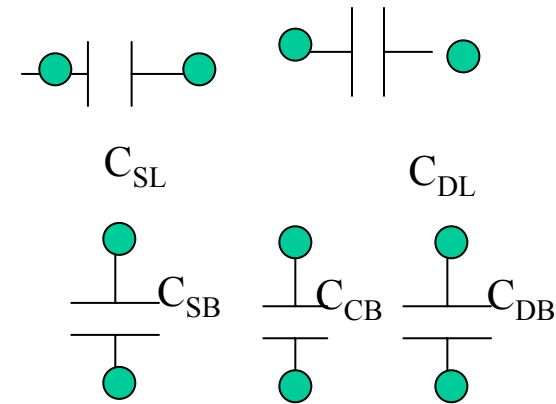
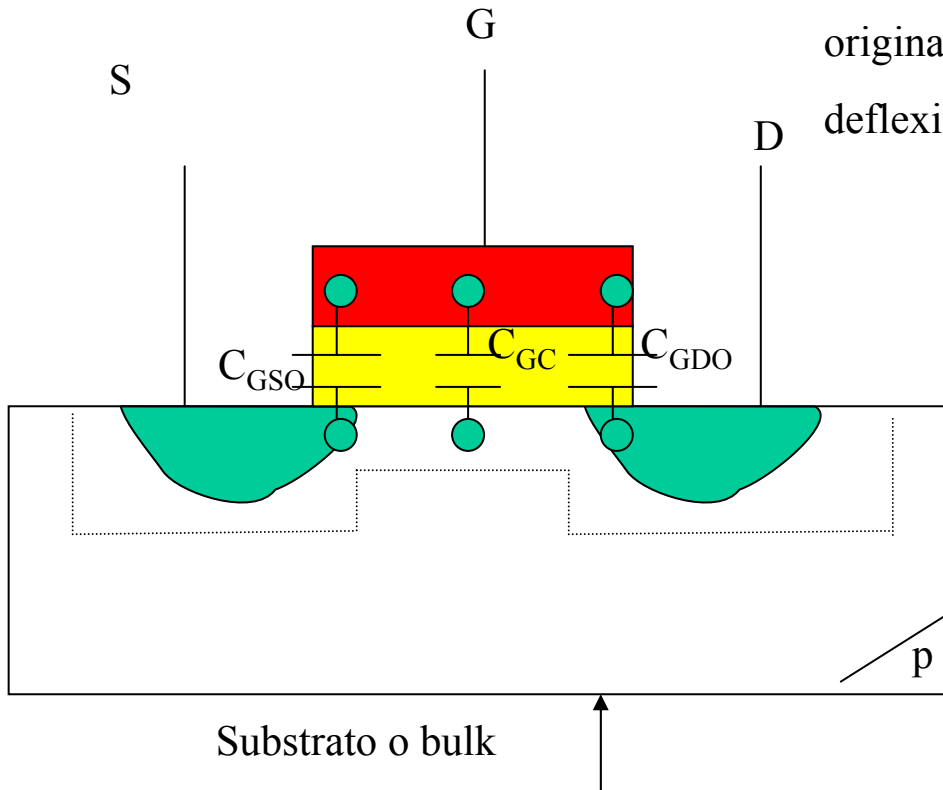
C_{DB} - Capacidad drenador (N) sustrato (P)

C_{SL} - Capacidad fuente (N) sustrato (P)
Lateral

C_{DL} - Capacidad drenador (N) sustrato (P)
Lateral

Capacidades en los transistores MOS

A efectos de cómputo, se supone todas las capacidades originadas por uniones PN, englobadas en una zona deflexión



Calculo aproximado de la capacidad de puerta

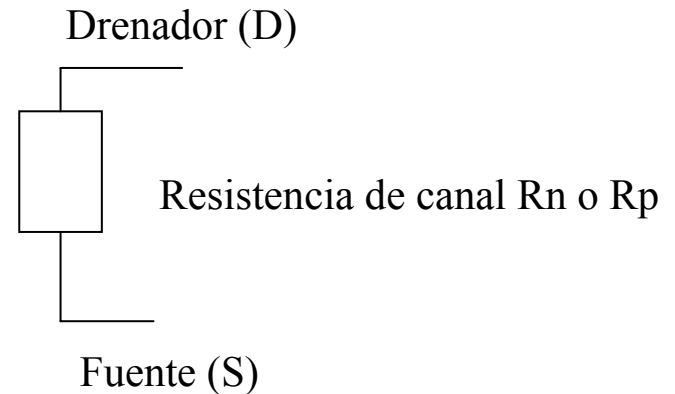
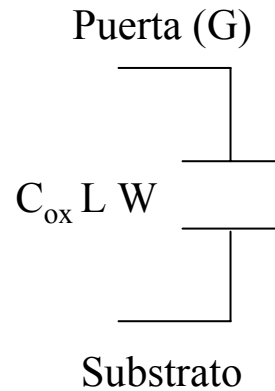
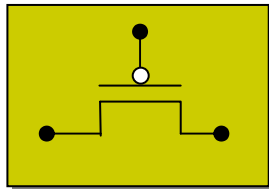
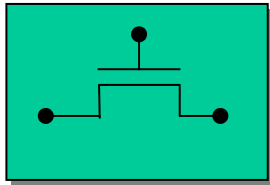
$$C_g = C_{GC} + C_{GSO} + C_{GDO}$$

$$C_{GC} = C_{ox} L W - 2 C_{ox} L_D W \cong C_{ox} L W$$

Suponiendo que las dos difusiones laterales son iguales $C_{GDO} = C_{GSO} = C_{ox} L_D W$ y de valor despreciable frente a C_g

C = capacidad del oxido por unidad de área (C_{ox}) x área ($L W$)

Modelo de resistencia-capacidad



$$R_n = \frac{T_{ox} L_n}{\mu_n \epsilon_{ox} W_n (V_{GS} - V_{TH})} = \frac{L_n}{\mu_n C_{ox} W_n V_{DD}}$$

$$V_{GS} - V_{TH} \cong V_{DD}$$

$$R_p = \frac{T_{ox} L_p}{\mu_p \epsilon_{ox} W_p (V_{GS} - V_{TH})} = \frac{L_p}{\mu_p C_{ox} W_p V_{DD}}$$

La movilidad de los electrones es entre 2,5 a 3 veces la movilidad de los huecos

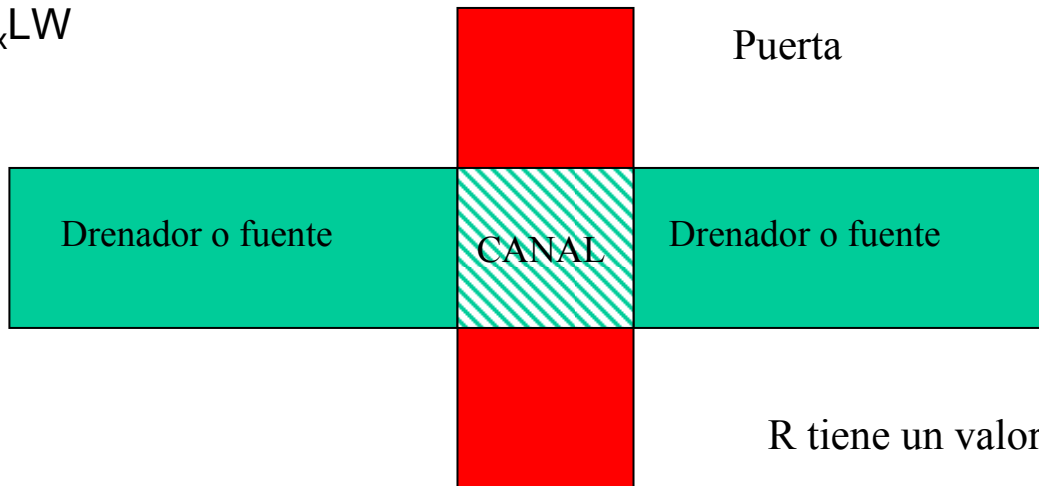
$$\mu_n = 2,5 \mu_p$$

$$R \propto L / C_{ox} W$$

$$C \propto C_{ox} L W$$

$$L = 1$$

$$W = 2$$



Puerta

Drenador o fuente

CANAL

Drenador o fuente

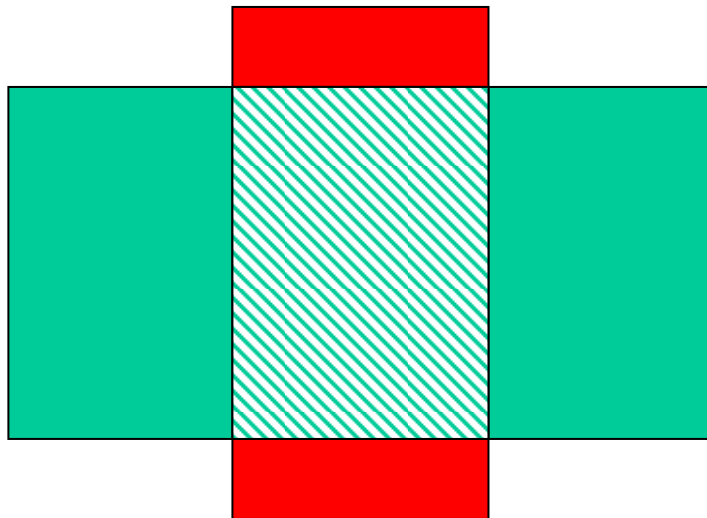
layout

R tiene un valor proporcional a $1/2$

C tiene un valor proporcional a 2

$$L = 2$$

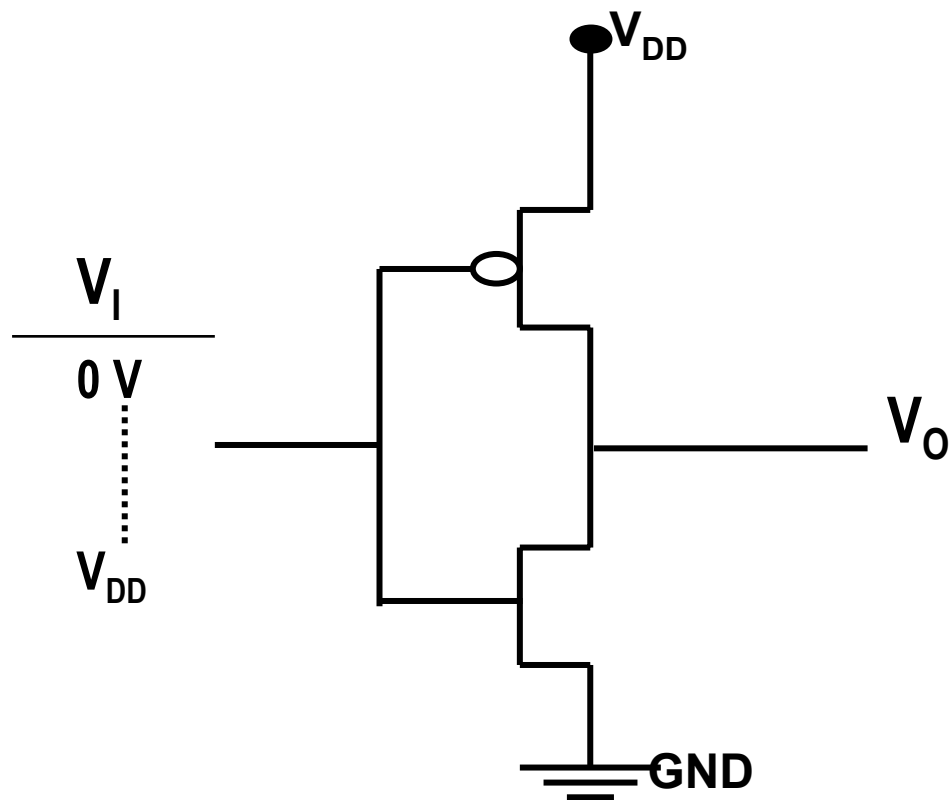
$$W = 4$$



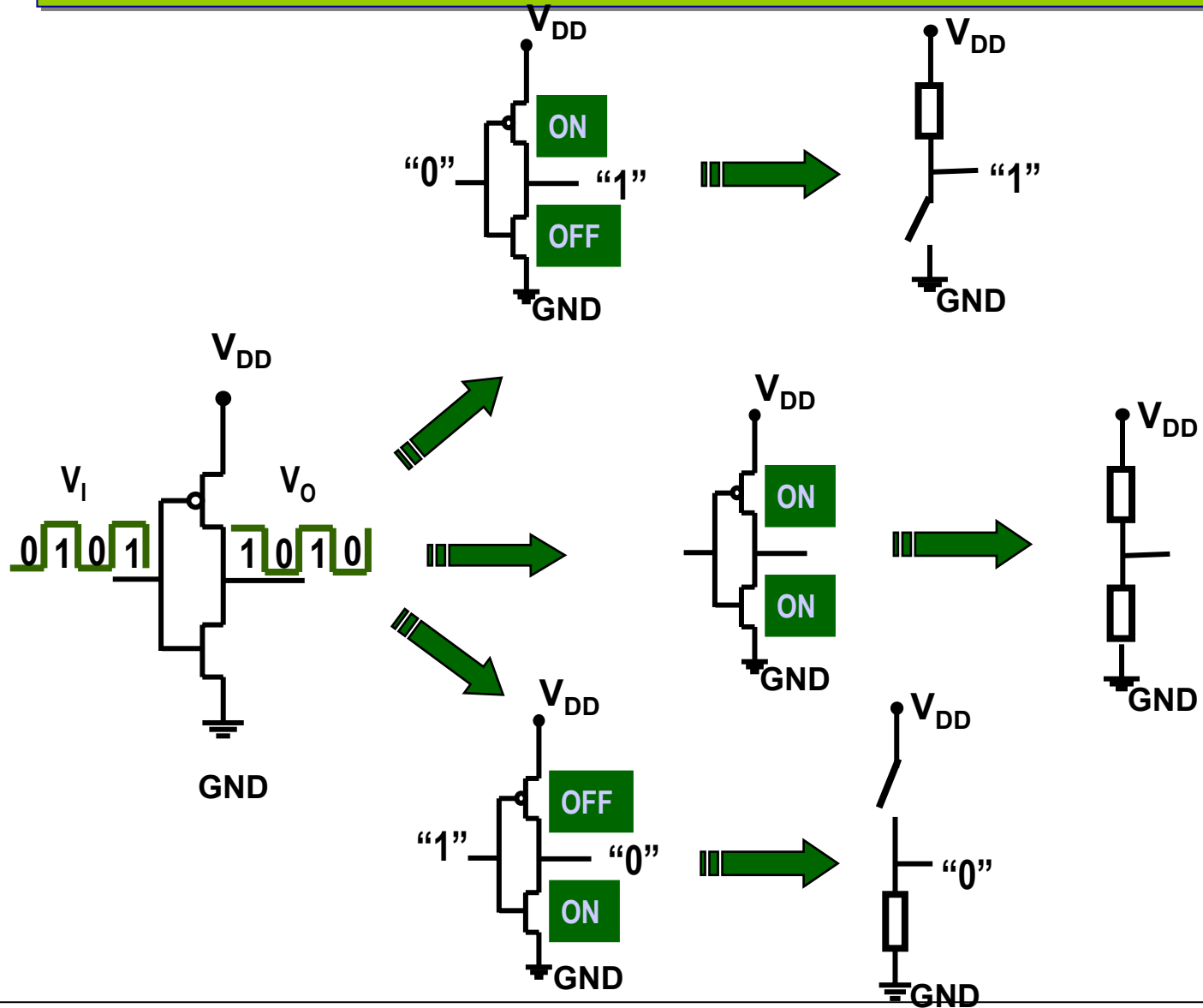
R tiene un valor proporcional a $1/2$

C tiene un valor proporcional a 8

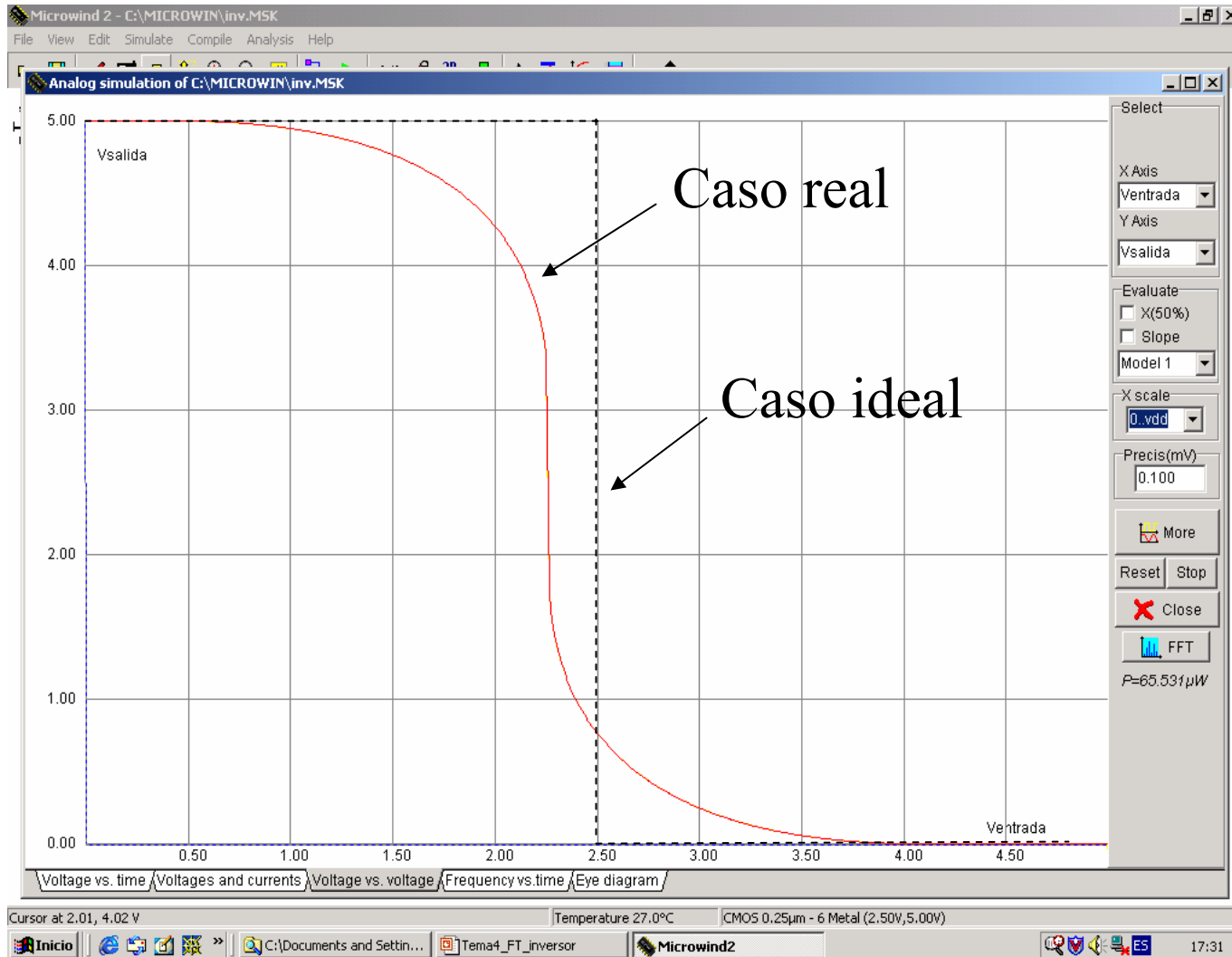
El inversor CMOS



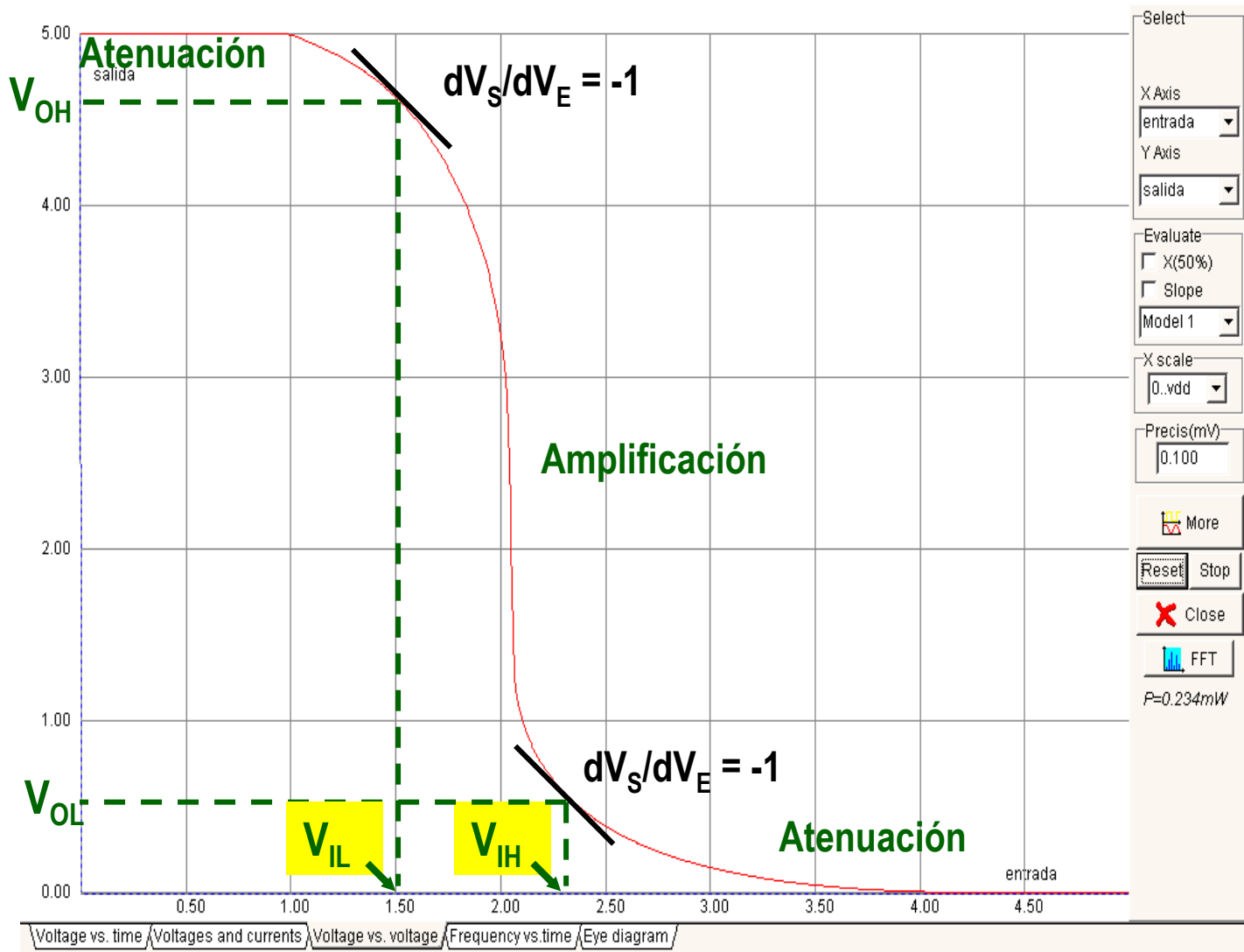
El inversor CMOS



Función de Transferencia, diferencia entre un caso ideal y real



Función de transferencia



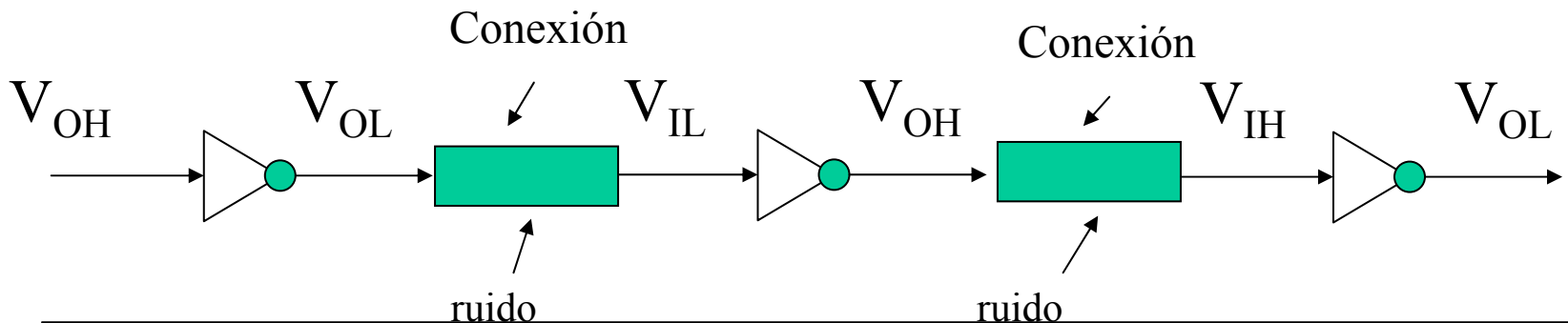
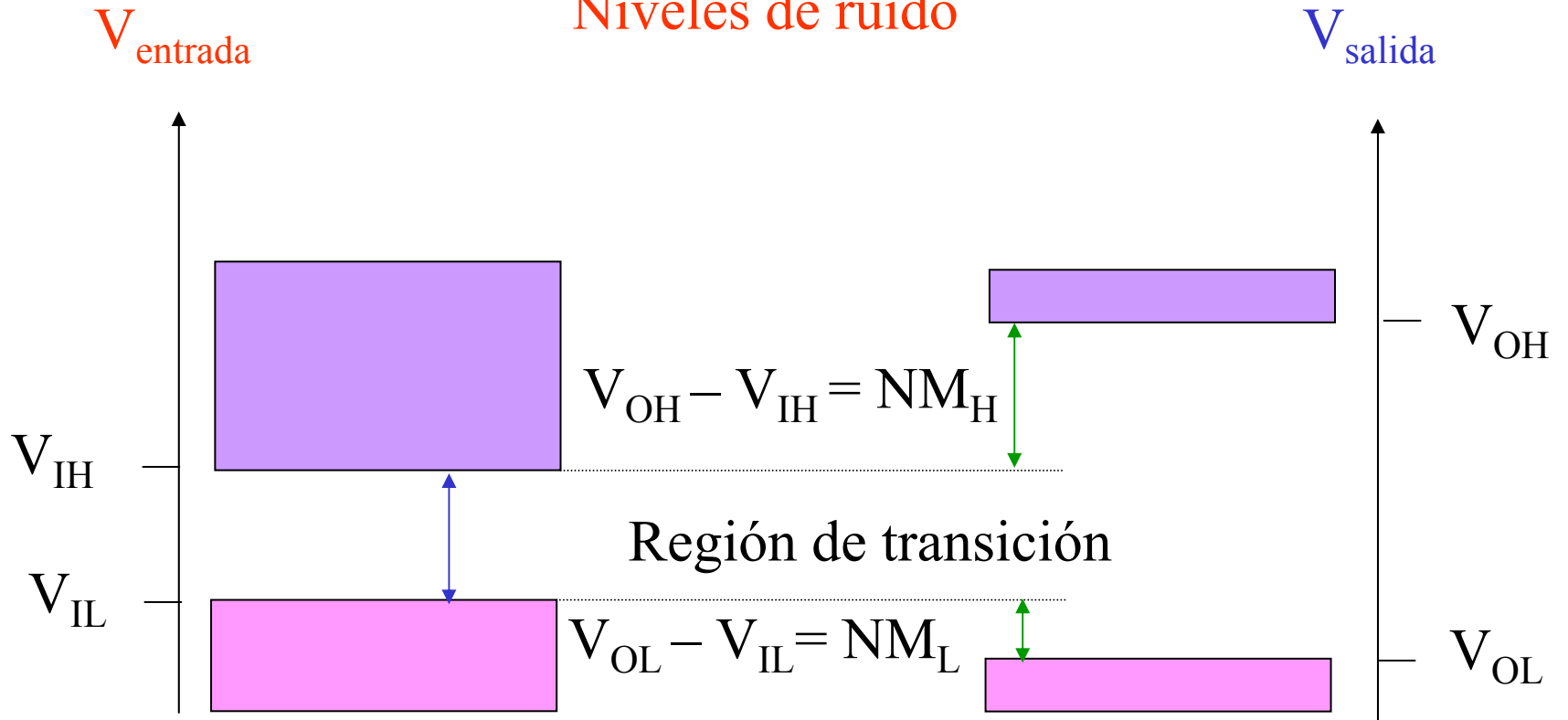
analysis complete for salida versus entrada

Temperature 27.0°C

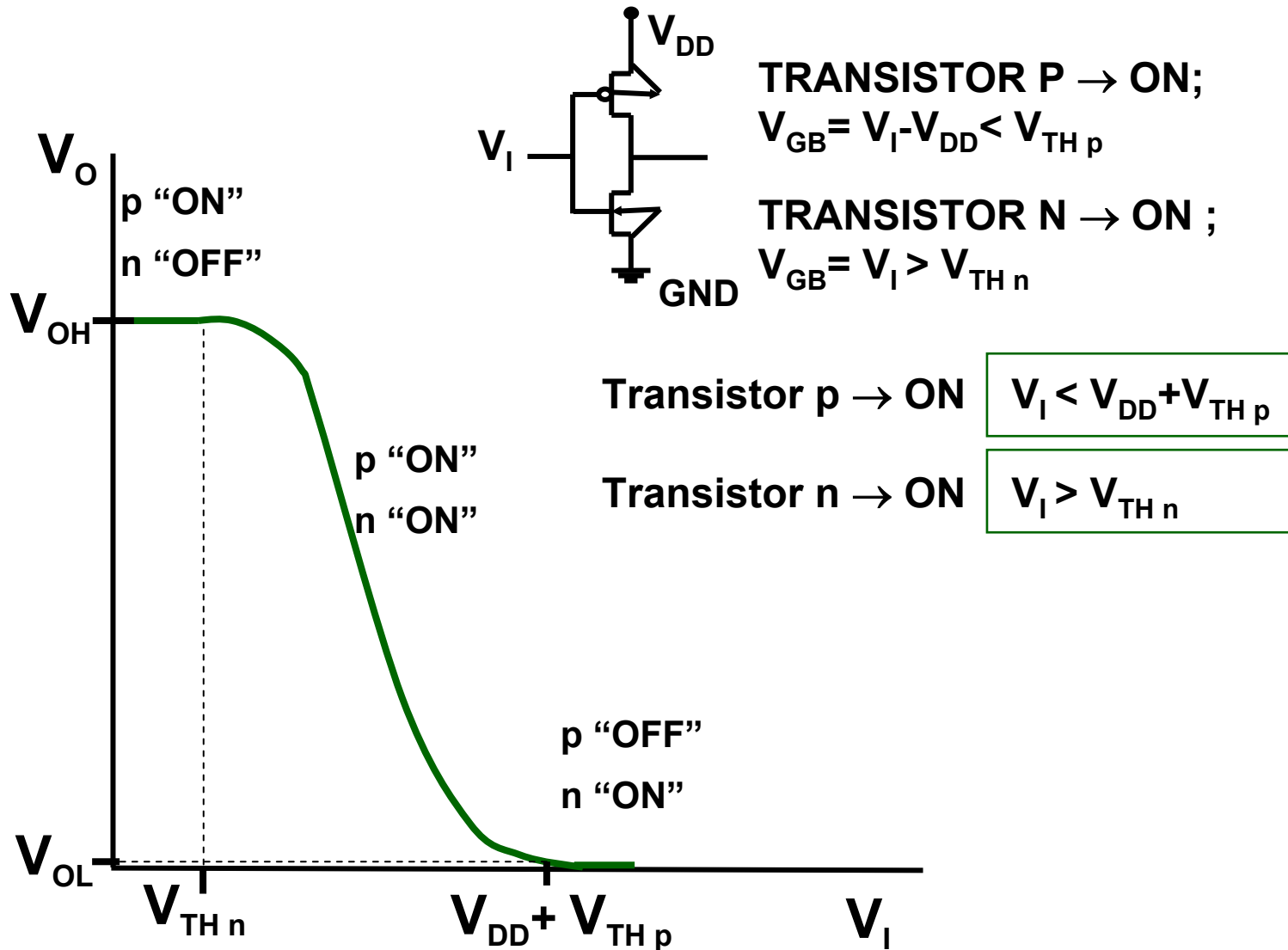
CMOS 1.2µm CMOS (5.00V)



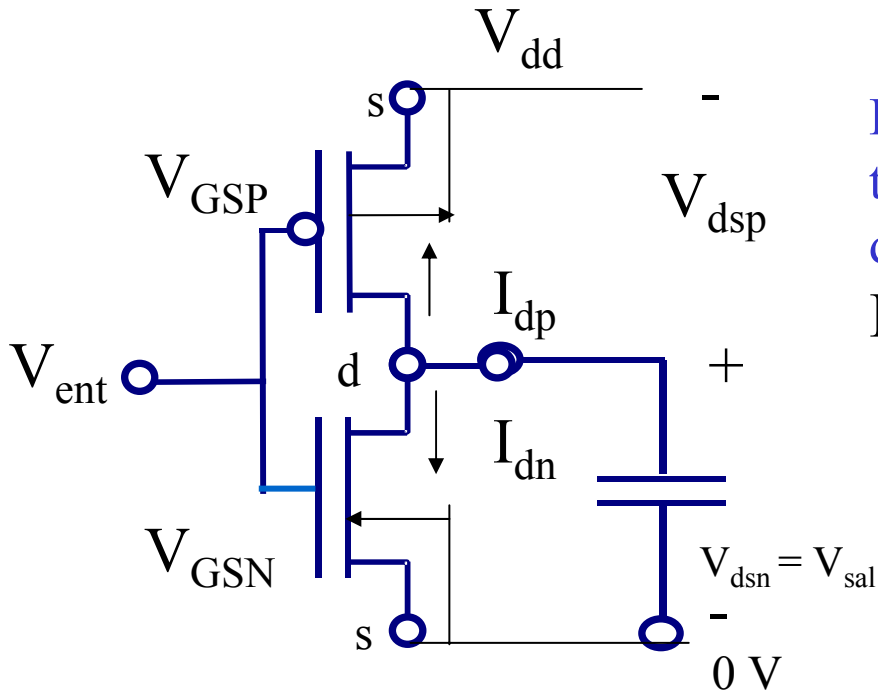
Niveles de ruido



Función de transferencia



Condiciones para determinar las tensiones y zonas de funcionamiento



Los dos transistores están en serie, por tanto sus corrientes tienen que ser iguales, dado que sus drenadores están unidos:

$$I_{dp} = -I_{dn}$$

Teniendo en cuenta las referencias de los substratos, las tensiones de puerta:

$$V_{GSP} = V_{ent} - V_{dd}$$

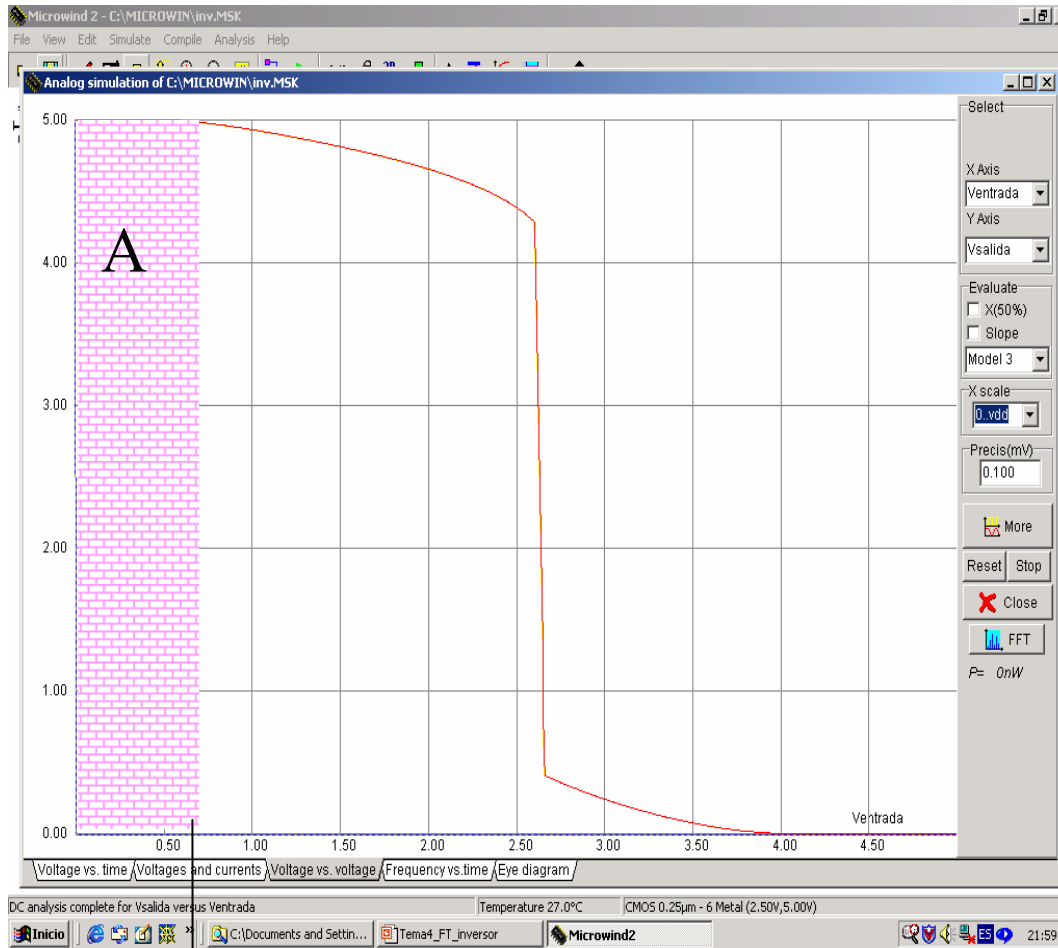
$$V_{GSN} = V_{ent} - 0 = V_{ent}$$

Las tensiones en los drenadores:

$$V_{dsp} = V_{sal} - V_{dd}$$

$$V_{dsn} = V_{dsp} + V_{dd} = V_{sal}$$

Estudio de las regiones: $V_{ent} < V_{tN}$ (Región A)



V_{tN}

Condiciones:

$$V_{ent} < V_{tN} \approx 0,6$$

- $V_{salida} = V_{OH} = V_{dd} = 5$
- $V_{tP} = -1$

• Transistor N cortado

$$I_{dp}, I_{dn} = 0$$

• Transistor P

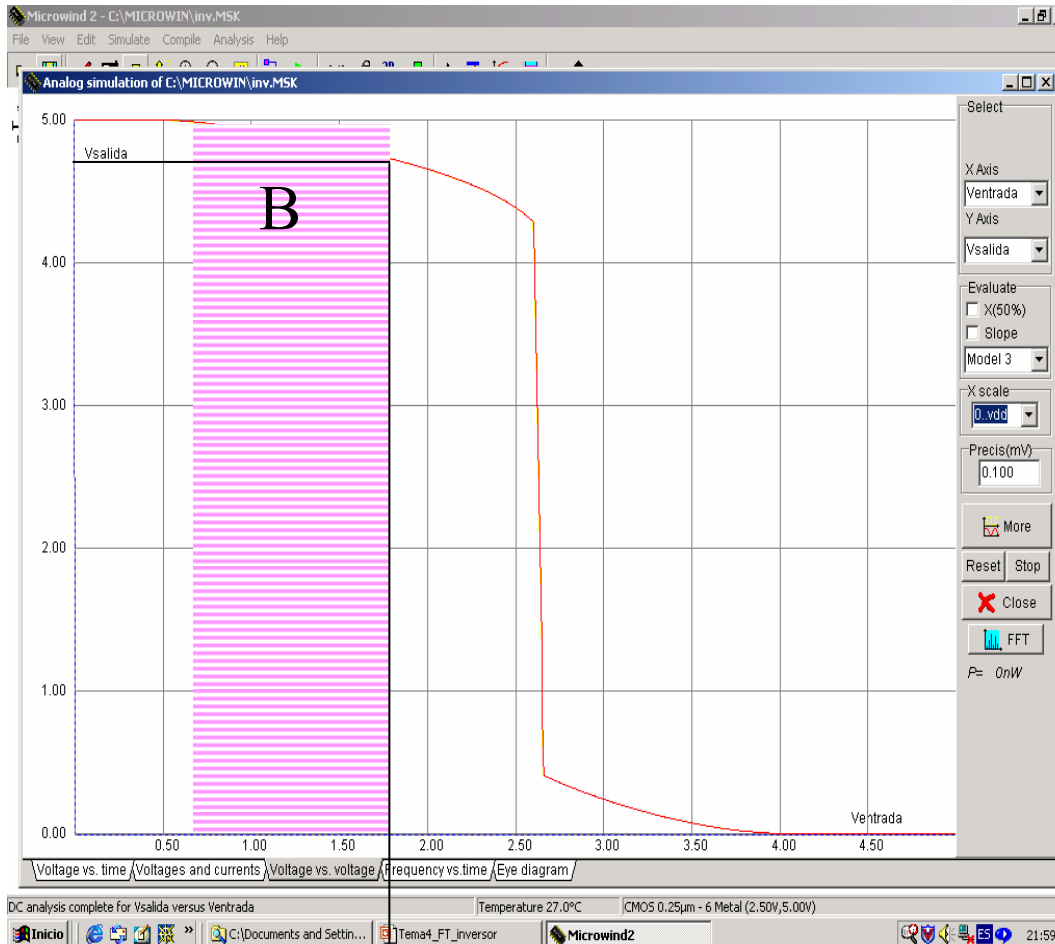
$$V_{ent} (0,6) - V_{dd} (5) - V_{tP} < 0$$

transistor activo ON

$$V_{ent} (0,6) - V_{dd} (5) - V_{tP} < V_{salida} (5) - V_{dd} (5)$$

Transistor P en zona lineal

Estudio de las regiones: $V_{tN} < V_{ent} < V_{IL}$ (Región B)



V_{IL}

Condiciones:

- $V_{ent} = V_{G_{SN}} \approx 1,75 \text{ V}$
- $V_{salida} = V_{D_{SN}} \approx V_{OH} \approx 4,75 \text{ V}$
- $V_{tN} \approx 0,6 \text{ V}$
- $V_{tP} = -1$

• Transistor N

- $V_{ent} > V_{tN}$ (activo – ON)
- $V_{G_{SN}} (1,75) - V_{tN} (0,6) < V_{D_{SN}} (4,75)$

SATURADO

• Transistor P

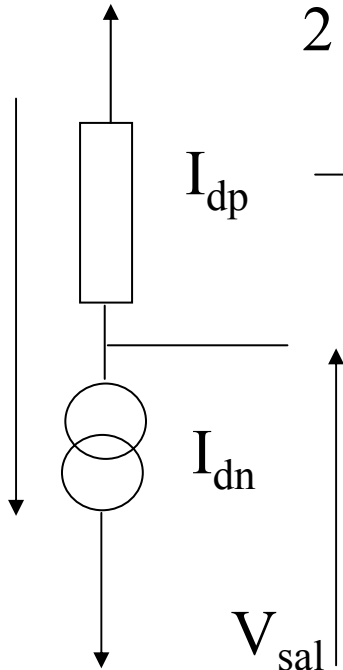
- $V_{ent} (1,7) - V_{dd} (5) - V_{tP} < 0$
(activo ON)

- $V_{ent} (1,75) - V_{dd} (5) - V_{tP} < V_{salida} (4,75) - V_{dd} (5)$

ZONA LINEAL

Calculo de V_{IL}

$$\frac{\beta_n}{2} [V_{G_{SN}} - V_{tN}]^2 = \frac{\beta_p}{2} [2(V_{G_{SP}} - V_{tP}) V_{D_{SP}} - V_{D_{SP}}^2]$$



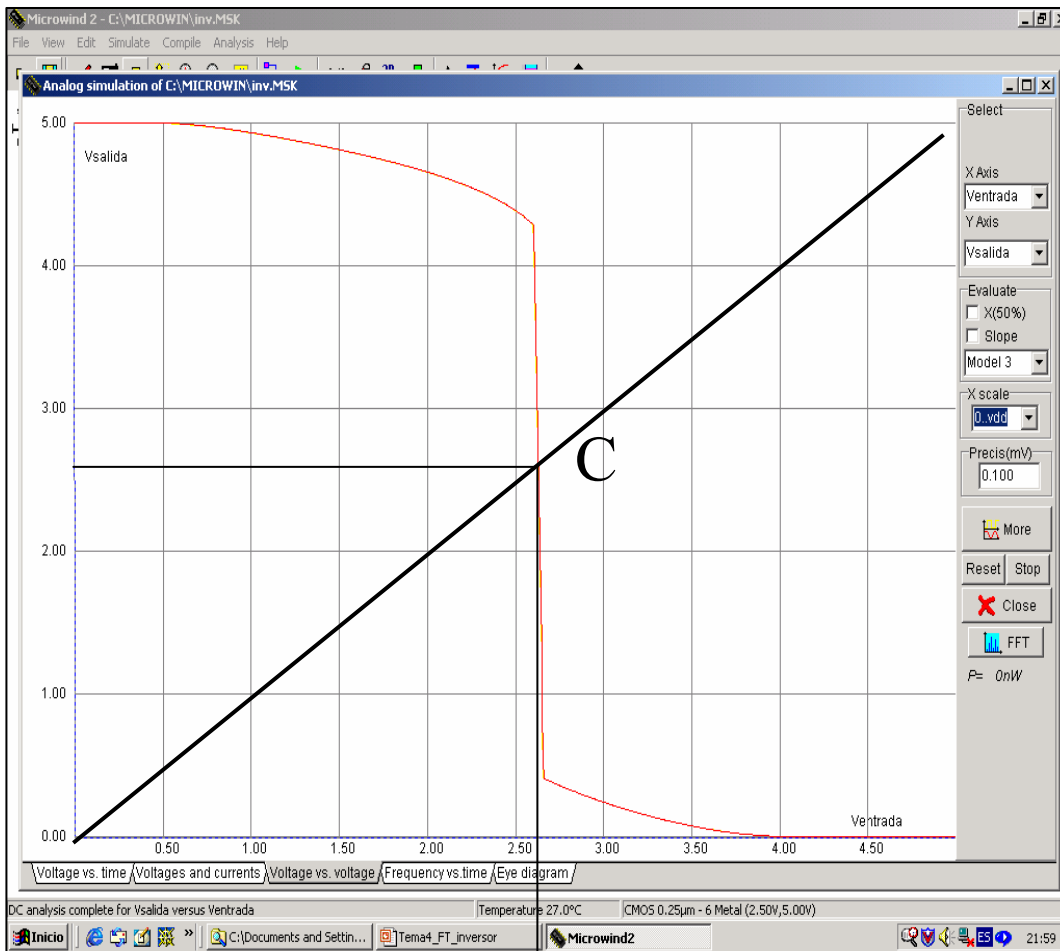
$$\frac{\beta_n}{2} [V_{ent} - V_{tN}]^2 = \frac{\beta_p}{2} [2(V_{ent} - V_{dd} - V_{tP}) (V_{sal} - V_{dd}) - (V_{sal} - V_{dd})^2]$$

La pendiente es $-1 \frac{d V_{sal}}{d V_{ent}} = -1$ $V_{IL} = V_{ent}$

$$V_{IL} = \frac{2 V_{sal} + V_{tP} - V_{dd} + \beta_n / \beta_p V_{tN}}{1 + \beta_n / \beta_p}$$

$$\beta_R = \beta_n / \beta_p$$

Estudio de las regiones: $V_{ent} \approx V_{sal}$ (Región C)



Condiciones:

- $V_{ent} = V_{G_{SN}} \approx 2,6 \text{ V}$
- $V_{salida} = V_{D_{SN}} \approx V_{OH} \approx 2,5 \text{ V}$
- $V_{tN} \approx 0,6 \text{ V}$
- $V_{tP} = -1$

• Transistor N

- $V_{ent} > V_{tN}$ (activo – ON)
- $V_{G_{SN}} (2,6) - V_{tN} (0,6) < V_{D_{SN}} (2,5)$

SATURADO

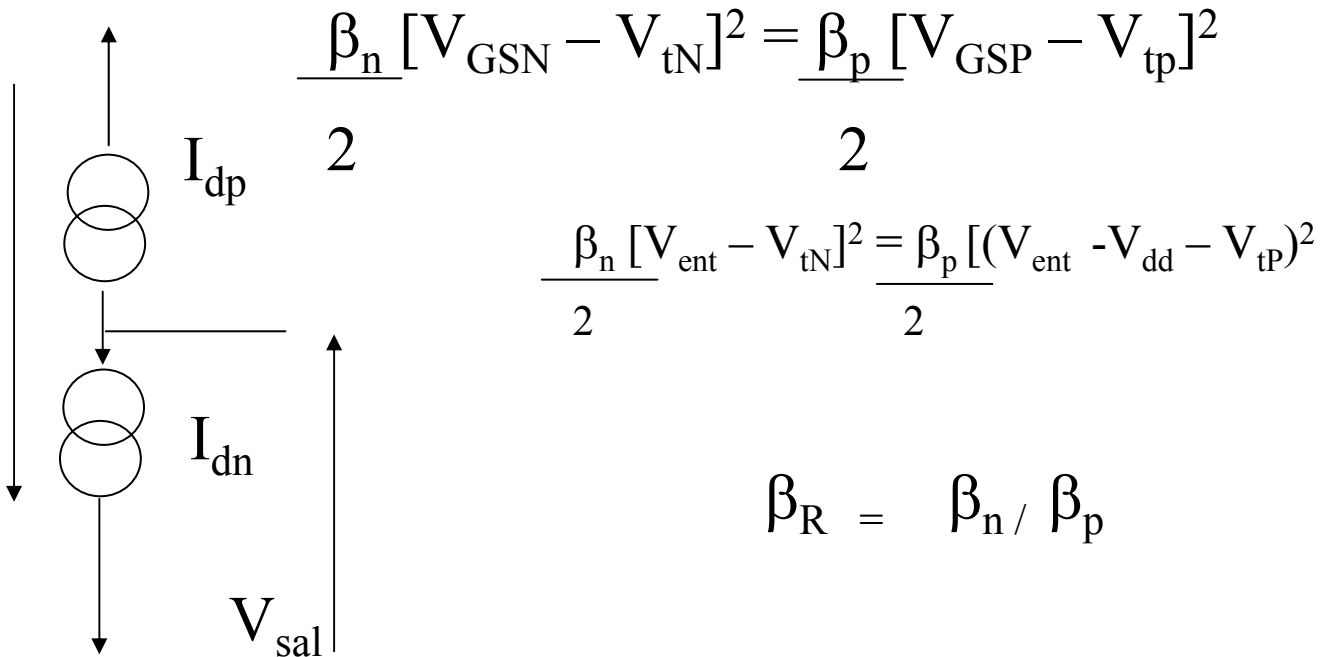
• Transistor P

- $V_{ent} (2,6) - V_{dd} (5) - V_{tP} < 0$
transistor activo ON

- $V_{ent} (2,6) - V_{dd} (5) - V_{tP} > V_{salida} (2,5) - V_{dd} (5)$

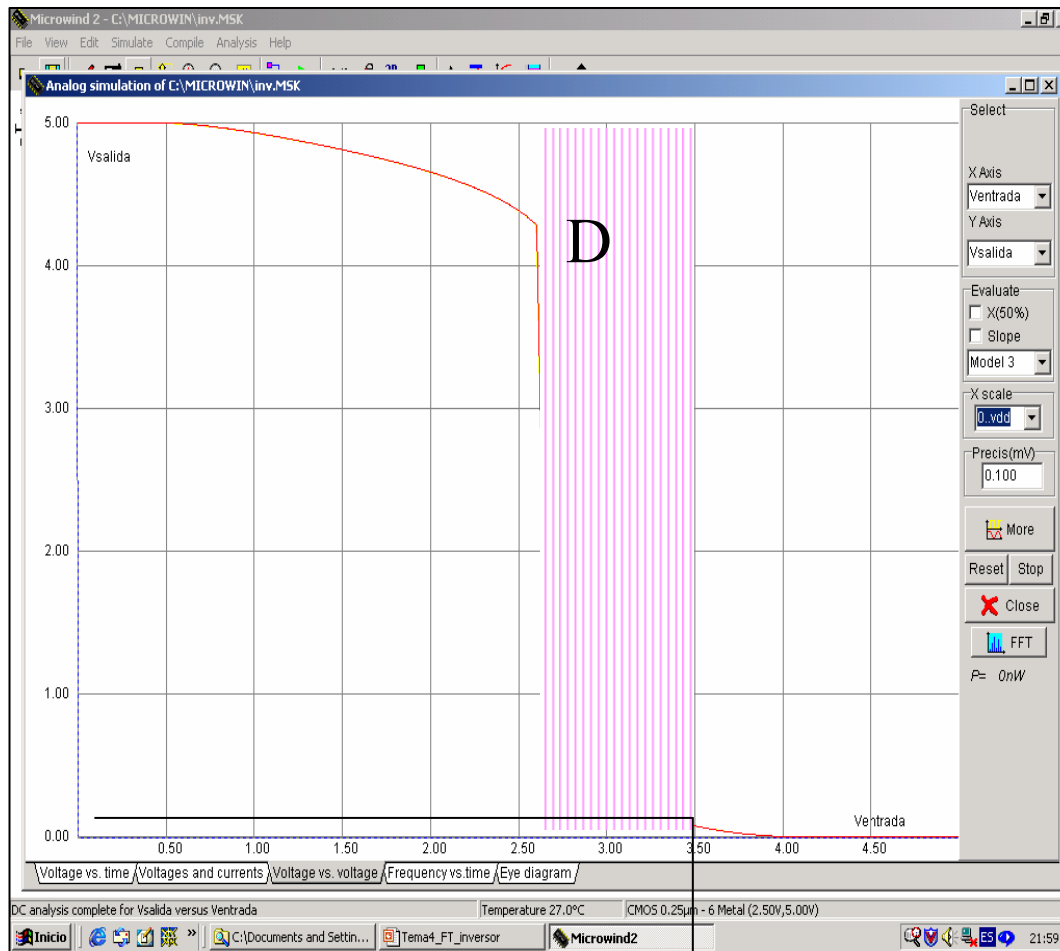
•SATURADO

Calculo de $V_{sal} = V_{in} = V_{inversion}$ (idealmente $V_{dd}/2$)



$$V_{inversion} = \frac{\sqrt{\beta_R} V_{tN} + V_{tp} + V_{dd}}{1 + \sqrt{\beta_R}}$$

Estudio de las regiones: $V_{inv} < V_{ent} < V_{IH}$ (Región D)



Condiciones:

- $V_{ent} = V_{G_{SN}} \approx 3,5V$
- $V_{salida} = V_{D_{SN}} \approx V_{OH} \approx 0,3 V$
- $V_{tN} \approx 0,6 V$
- $V_{tP} = -1$

• Transistor N

- $V_{ent} > V_{tN}$ (activo – ON)
- $V_{G_{SN}} (3,5) - V_{tN} (0,6) > V_{D_{SN}} (2,5)$

LINEAL

• Transistor P

- $V_{ent} (3,5) - V_{dd} (5) - V_{tP} < 0$
transistor activo ON

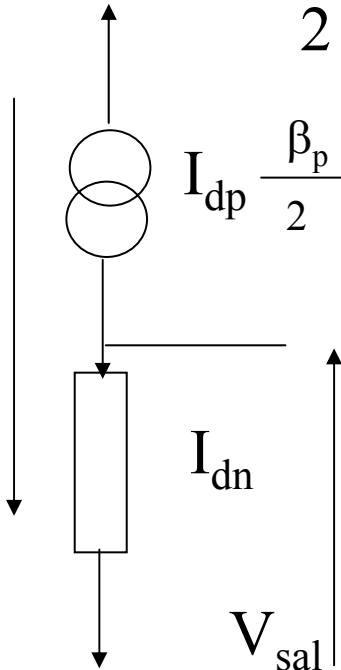
V_{IH}

- $V_{ent} (3,2) - V_{dd} (5) - V_{tP} > V_{salida} (0,3) - V_{dd} (5)$

SATURACION

Calculo de V_{IH}

$$\frac{\beta_p}{2} [V_{GSP} - V_{tp}]^2 = \frac{\beta_n}{2} [2(V_{GSN} - V_{tn}) V_{DSN} - V_{DSN}^2]$$



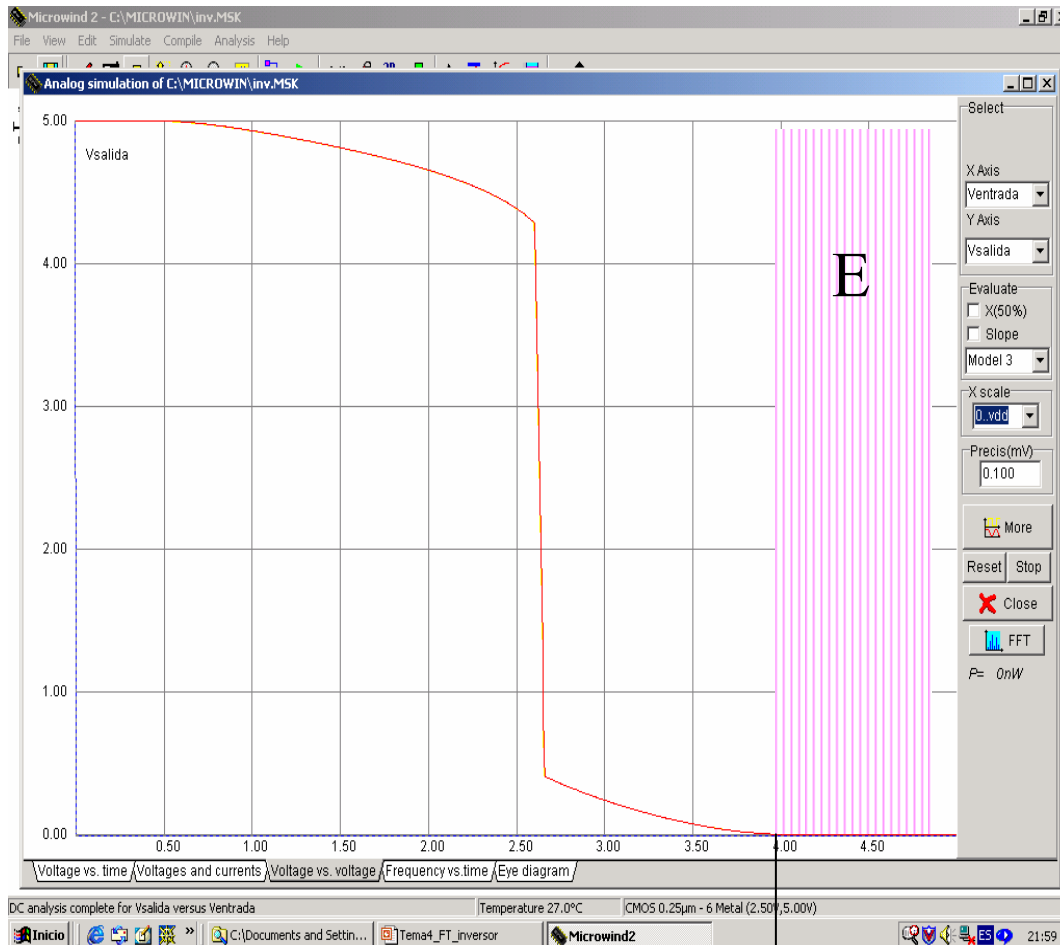
$$I_{dp} \frac{\beta_p [V_{ent} - V_{dd} - V_{tp}]^2}{2} = \frac{\beta_n [2(V_{ent} - V_{tn}) V_{sal} - V_{sal}^2]}{2}$$

La pendiente es $-1 \frac{d V_{sal}}{d V_{ent}} = -1$ $V_{IH} = V_{in}$

$$V_{IH} = \frac{\beta_R (2 V_{sal} + V_{tn}) + V_{dd} + V_{tp}}{1 + \beta_R}$$

$$\beta_R = \beta_n / \beta_p$$

Estudio de las regiones: $V_{ent} > V_{dd} + V_{tP}$ (Región E)



Condiciones:

- $V_{ent} = V_{GSN} \approx 4,2 \text{ V}$
- $V_{salida} = V_{DSN} \approx V_{OH} \approx 0 \text{ V}$
- $V_{tN} \approx 0,6 \text{ V}$
- $V_{tP} = -1$

• Transistor N

- $V_{ent} > V_{tN}$ (activo – ON)
- $V_{GSN}(4,2) - V_{tN}(0,6) > V_{DSN}(0)$

LINEAL

• Transistor P

- $V_{ent}(4,2) - V_{dd}(5) - V_{tP}(-1) > 0$

CORTADO

• Transistor N cortado

- $I_{dp}, I_{dn} = 0$

$$V_{dd} + V_{tP}$$

Resumen modos de operación

Región	V_{ent}	V_{sal}	nMOS	pMOS
A	$< V_{TN}$	V_{OH}	cortado	lineal
B	V_{IL}	alto $\approx V_{OH}$	saturación	lineal
C	$V_{inversion}$	$V_{inversion} = V_{dd}/2$	saturación	saturación
D	V_{IH}	bajo $\approx V_{OL}$	lineal	saturación
E	$> (V_{dd} + V_{TP})$	V_{OL}	lineal	corte

Influencia de $\beta_R = \beta_n / \beta_p$ en la función de transferencia

Sin el inversor es simétrico $\beta_n / \beta_p = 1 \rightarrow V_{TN} = -V_{TP}$

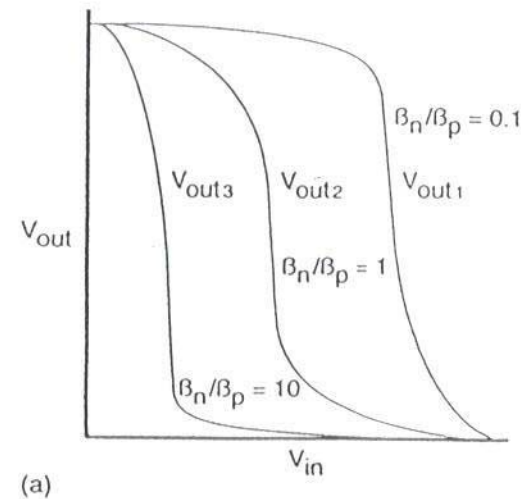
$$\beta = \mu \varepsilon W / L t_{ox} = \mu C_{ox} (W/L)$$

$$\beta_n / \beta_p = \frac{\mu_n C_{ox} (W/L)_n}{\mu_p C_{ox} (W/L)_p}$$

Suponiendo que C_{ox} es igual para ambos

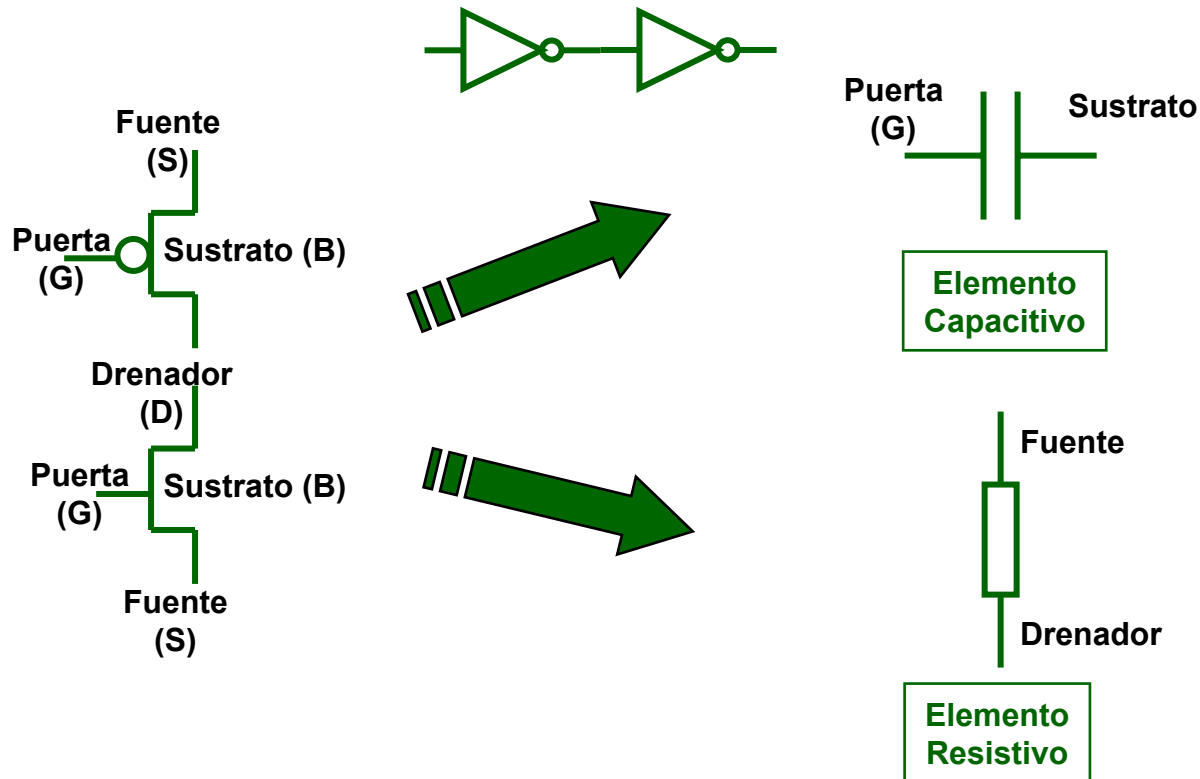
transistores y $\mu_p \approx 2,5 \mu_n$

$$2,5 (W/L)_n \approx (W/L)_p$$



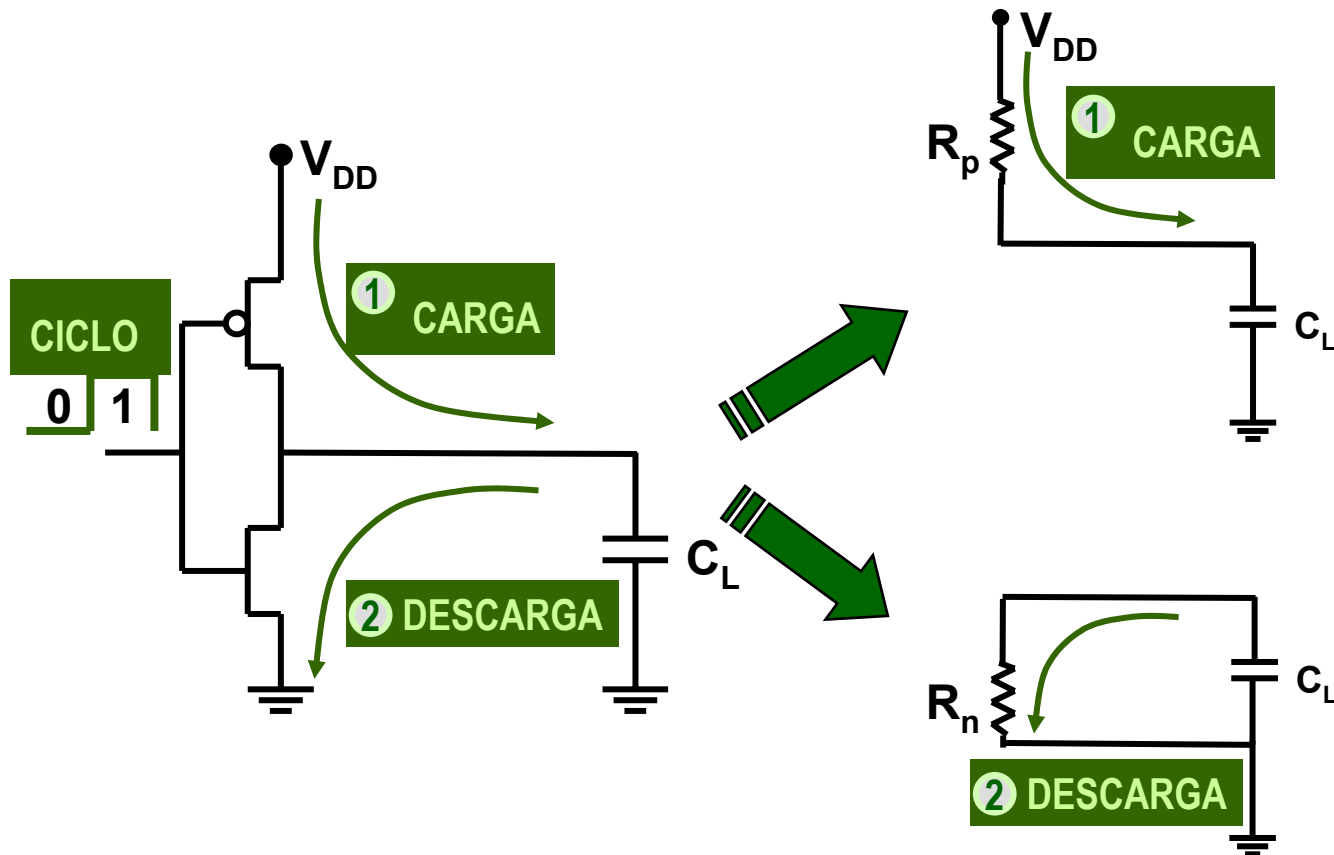
Retardos de propagación

TIEMPO QUE TRASCURRE DESDE QUE UNA TRANSICION EN LA ENTRADA PRODUCE UNA TRANSICION EN LA SALIDA

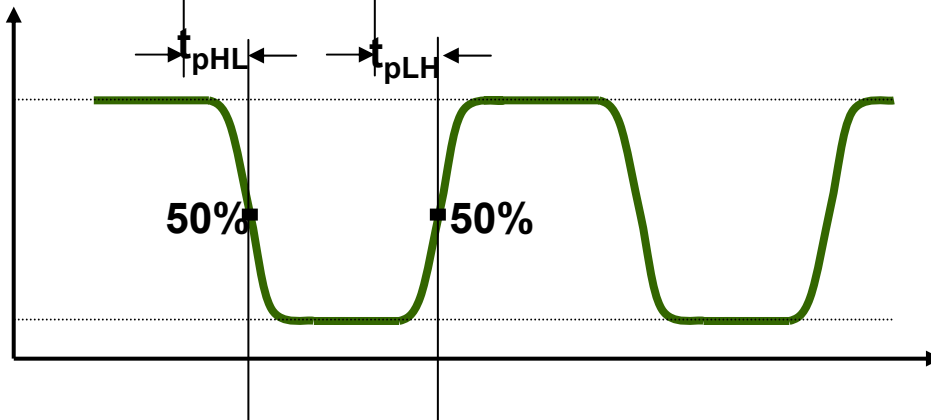
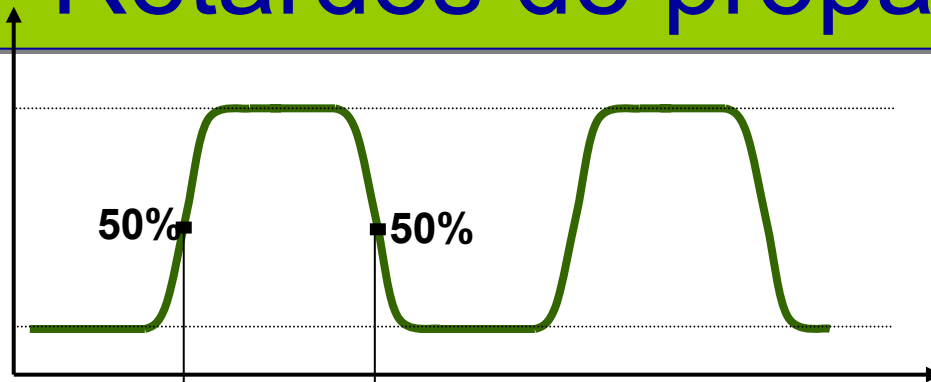


$$\text{Tiempo de retardo} \approx K\tau \approx K R C$$

Retardos de propagación



Retardos de propagación



t_{pHL} : tiempo de retardo de alto a bajo

t_{pLH} : tiempo de retardo de bajo a alto

$t_{pd\text{medio}}$



$t_{pd} = (t_{pHL} + t_{pLH}) / 2$

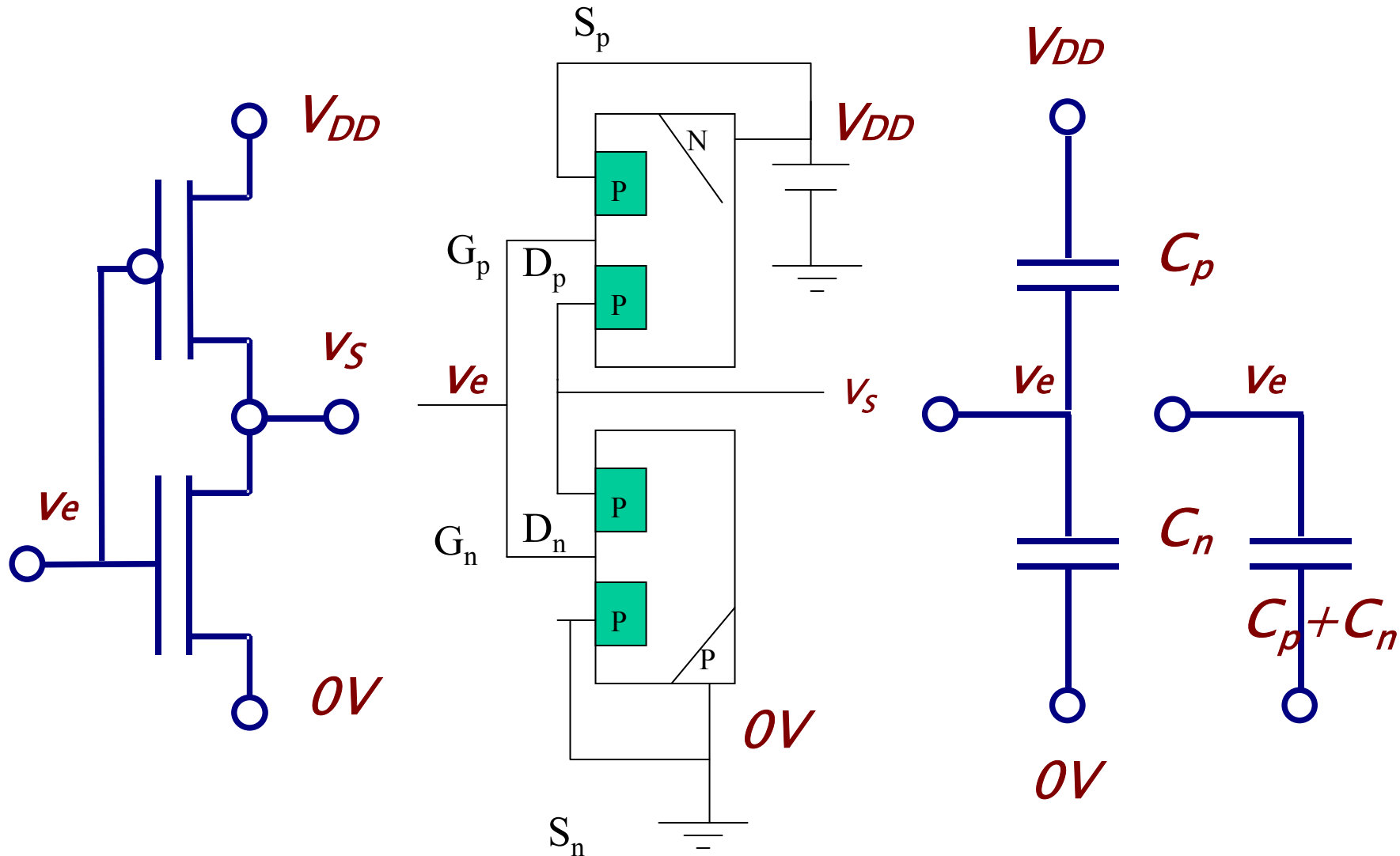
$t_{pd\text{max}}$



t_{pd} : el mayor entre t_{pLH} y t_{pHL}

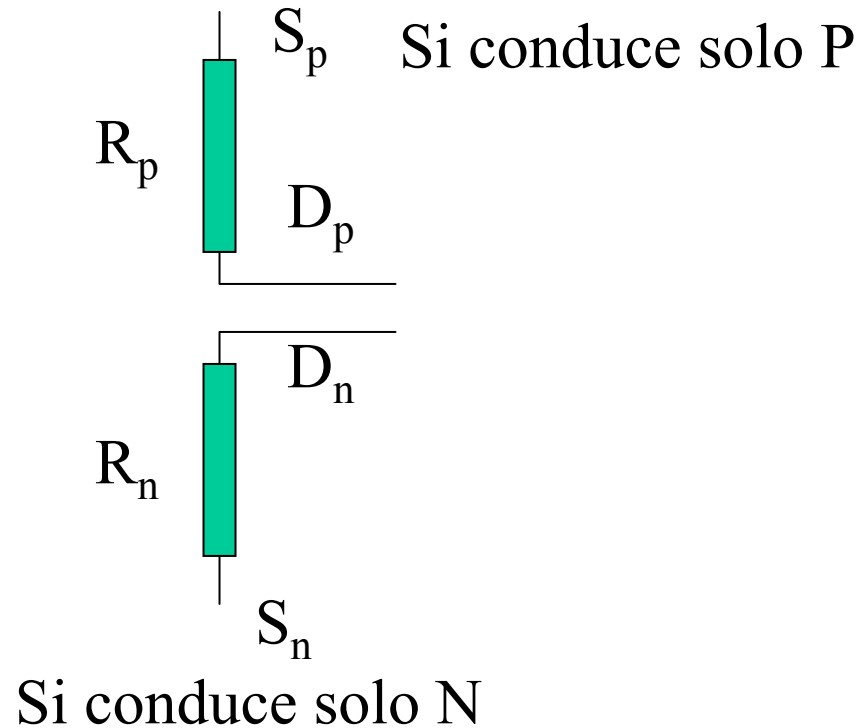
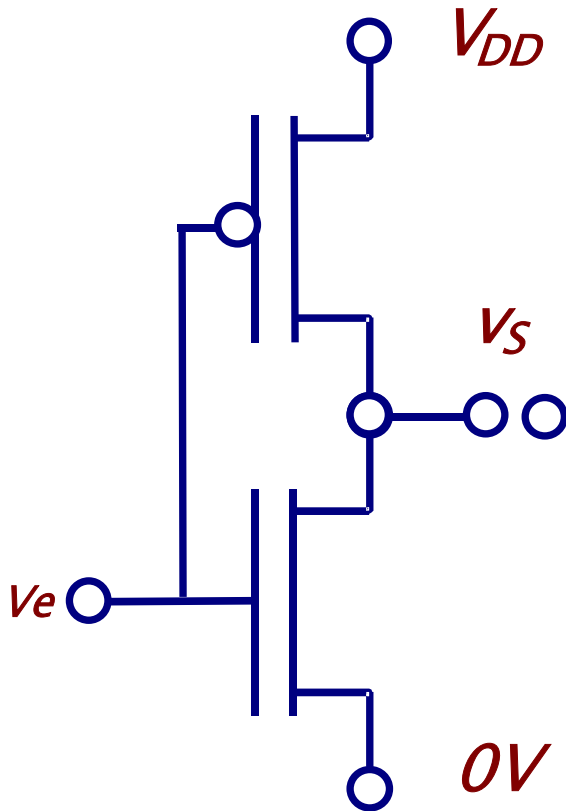
El inversor CMOS. Retardos de propagación

Visión puerta-substrato



El inversor CMOS. Retardos de propagación

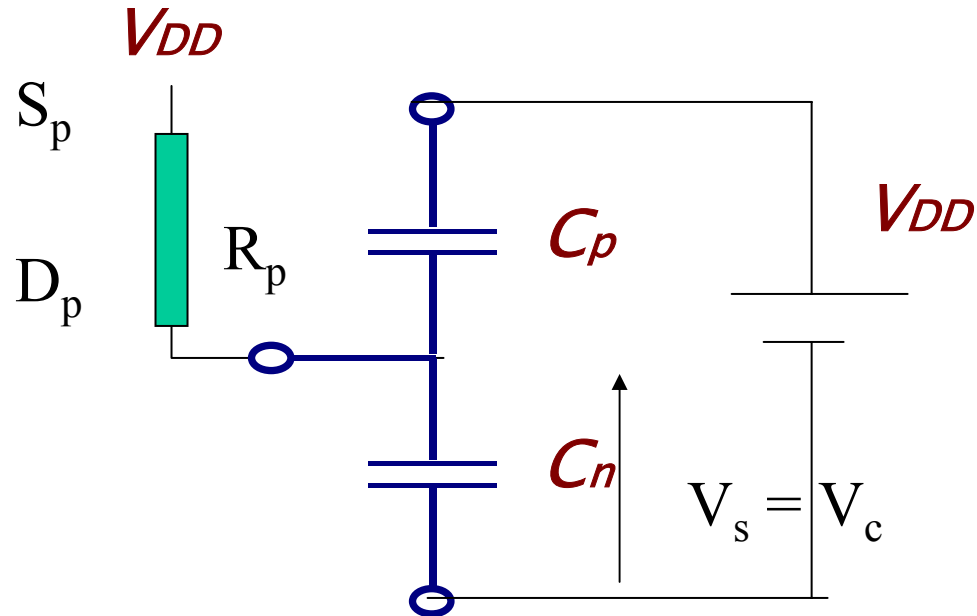
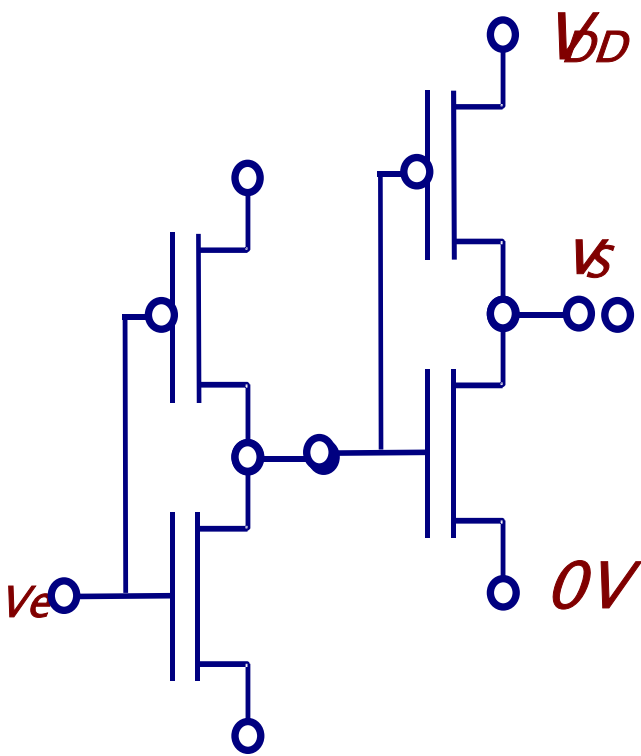
Visión drenador-fuente



Como se ha analizado al estudiar la función de transferencia del inversor, los dos transistores no suelen estar en la zona lineal simultáneamente

El inversor CMOS. Retardos de propagación

Entrada 0 V- Salida V_{DD} - Conduce el transistor P

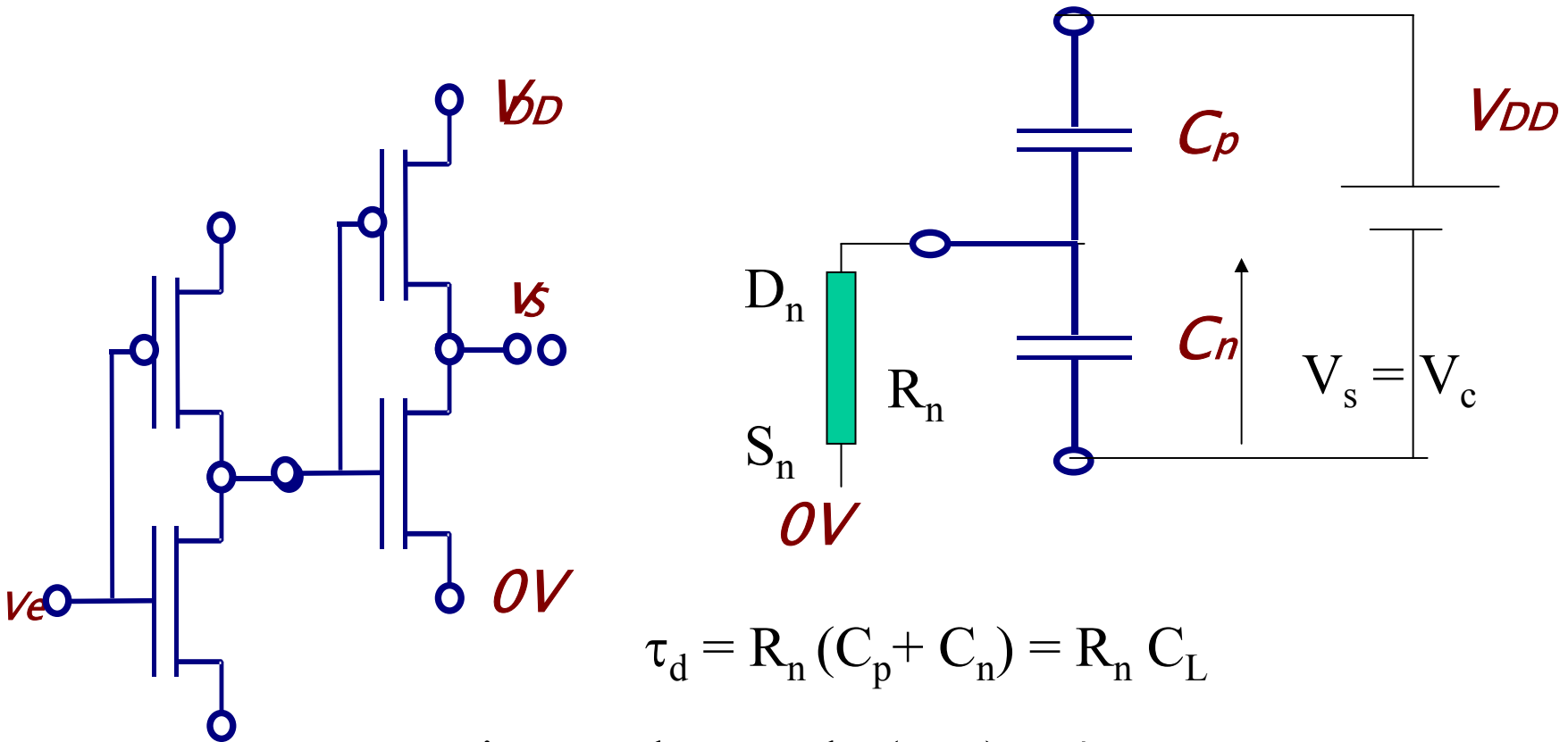


$$\tau_c = R_p (C_p + C_n) = R_p C_L$$

Tiempo de retardo (t_{pLH}) $\cong 4 \tau_c$

El inversor CMOS. Retardos de propagación

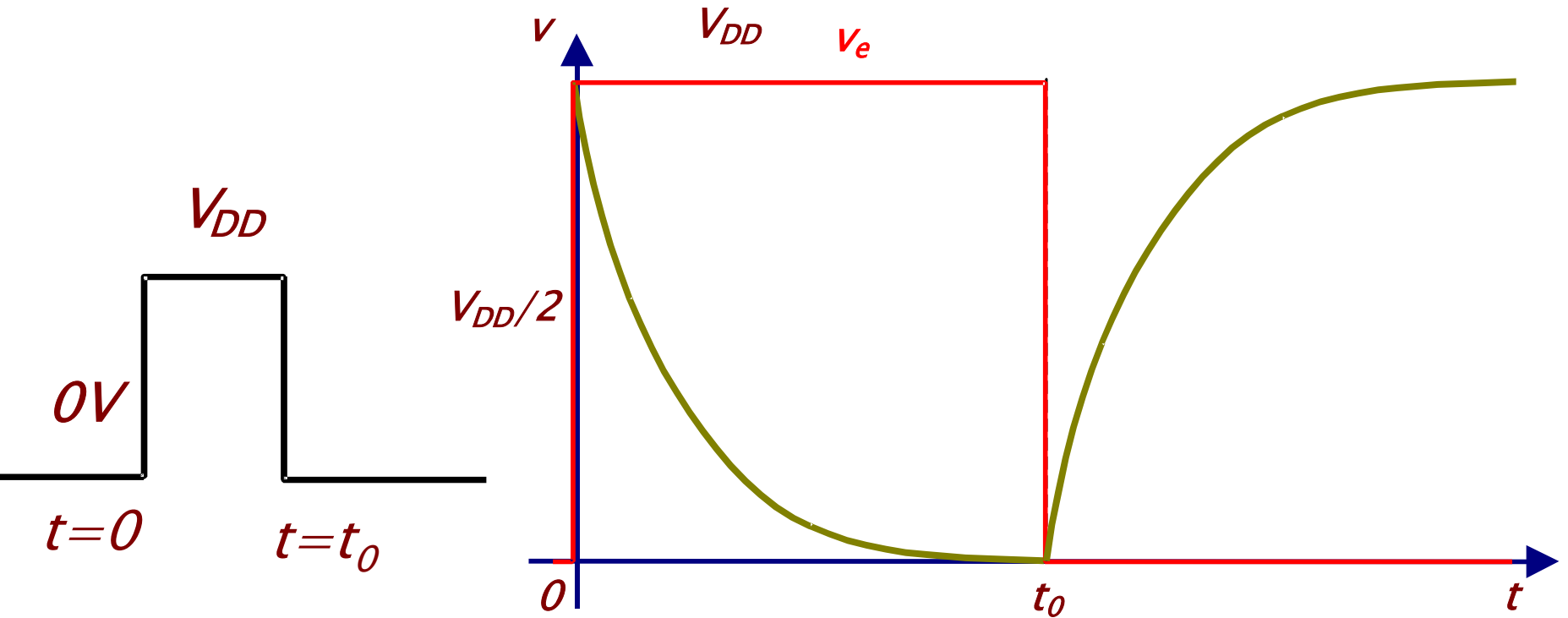
Entrada V_{DD} - Salida $0V$ Conduce el transistor N



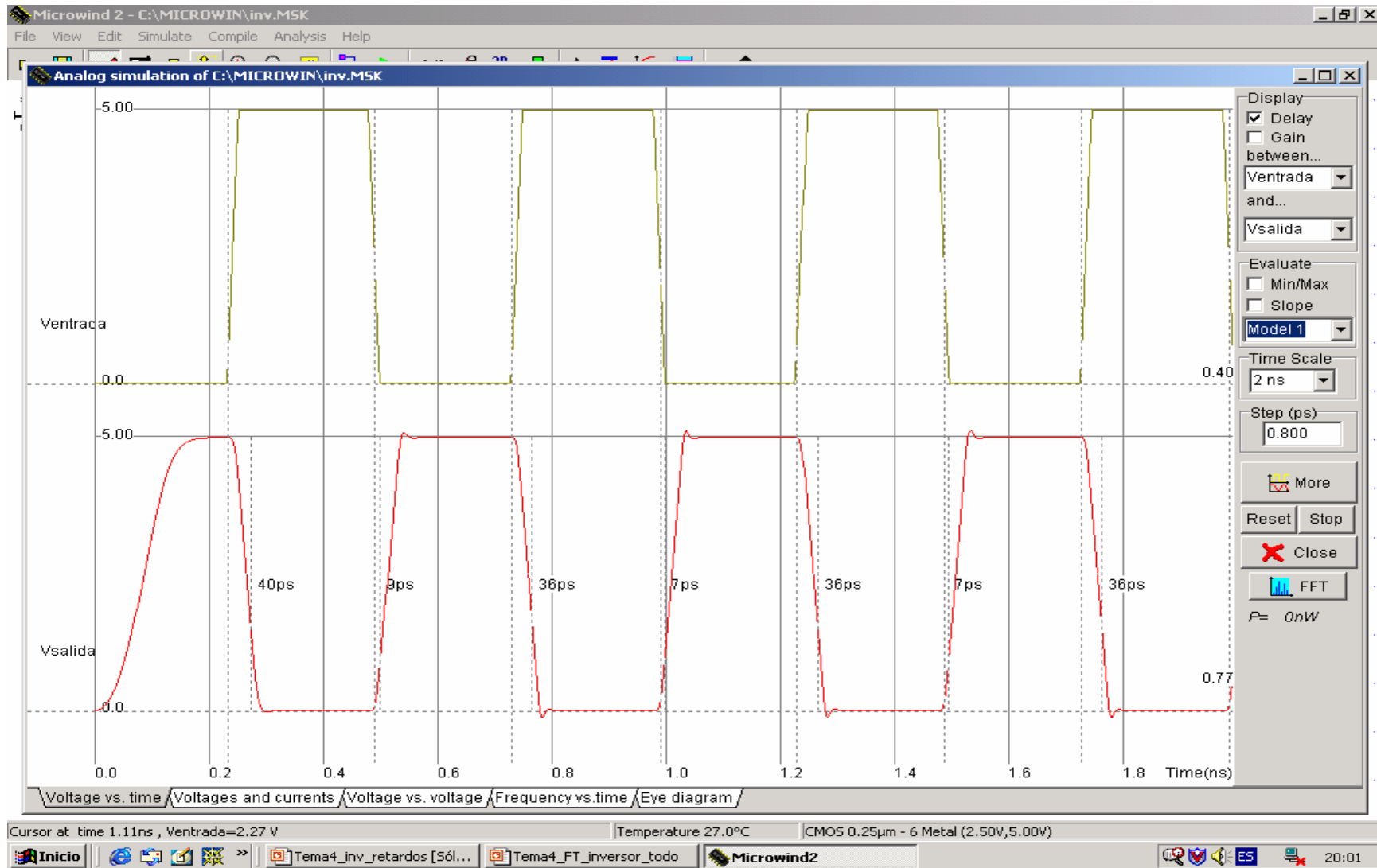
$$\tau_d = R_n (C_p + C_n) = R_n C_L$$

Tiempo de retardo (t_{pHL}) $\cong 4 \tau_d$

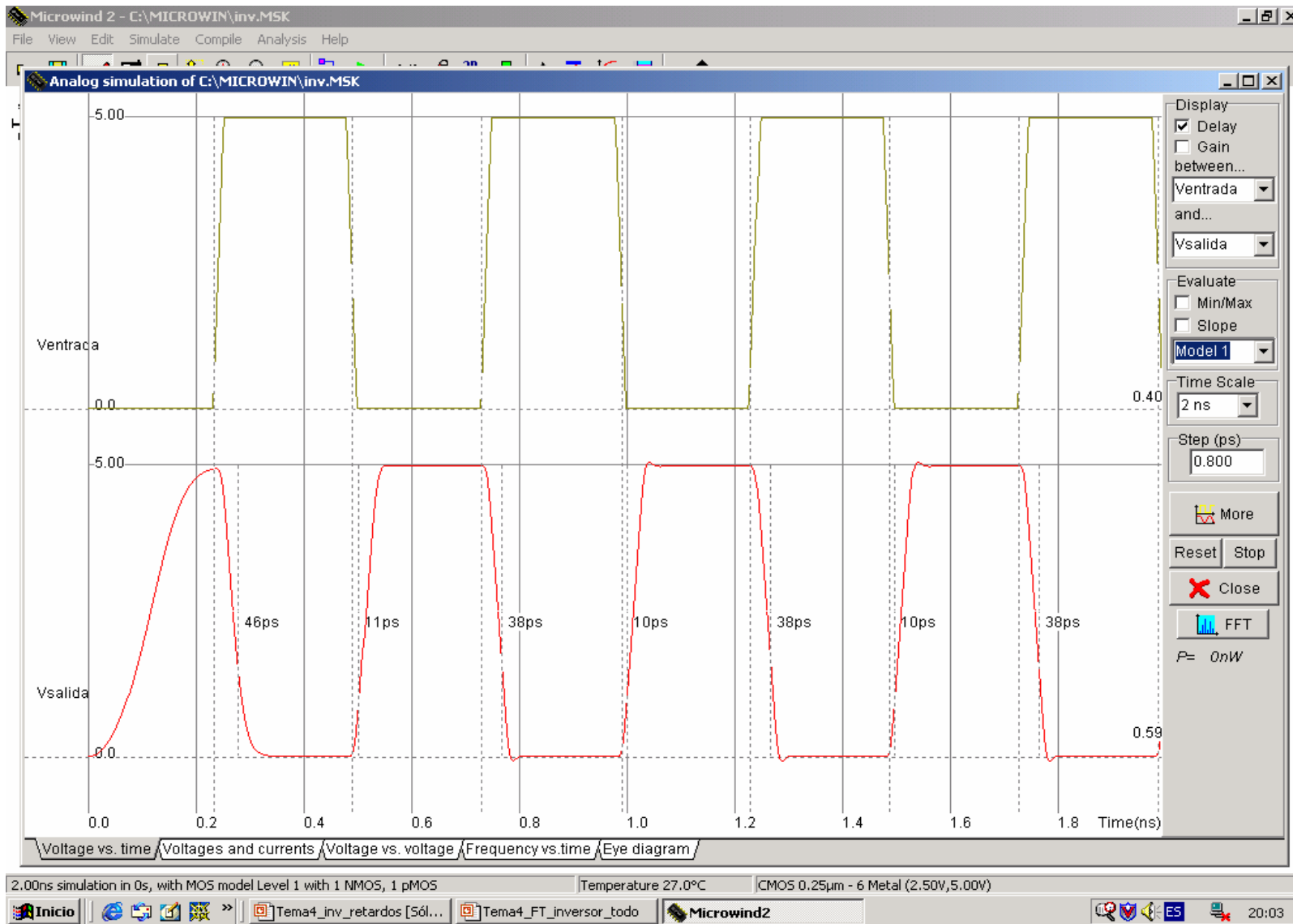
El inversor CMOS. Retardos de propagación



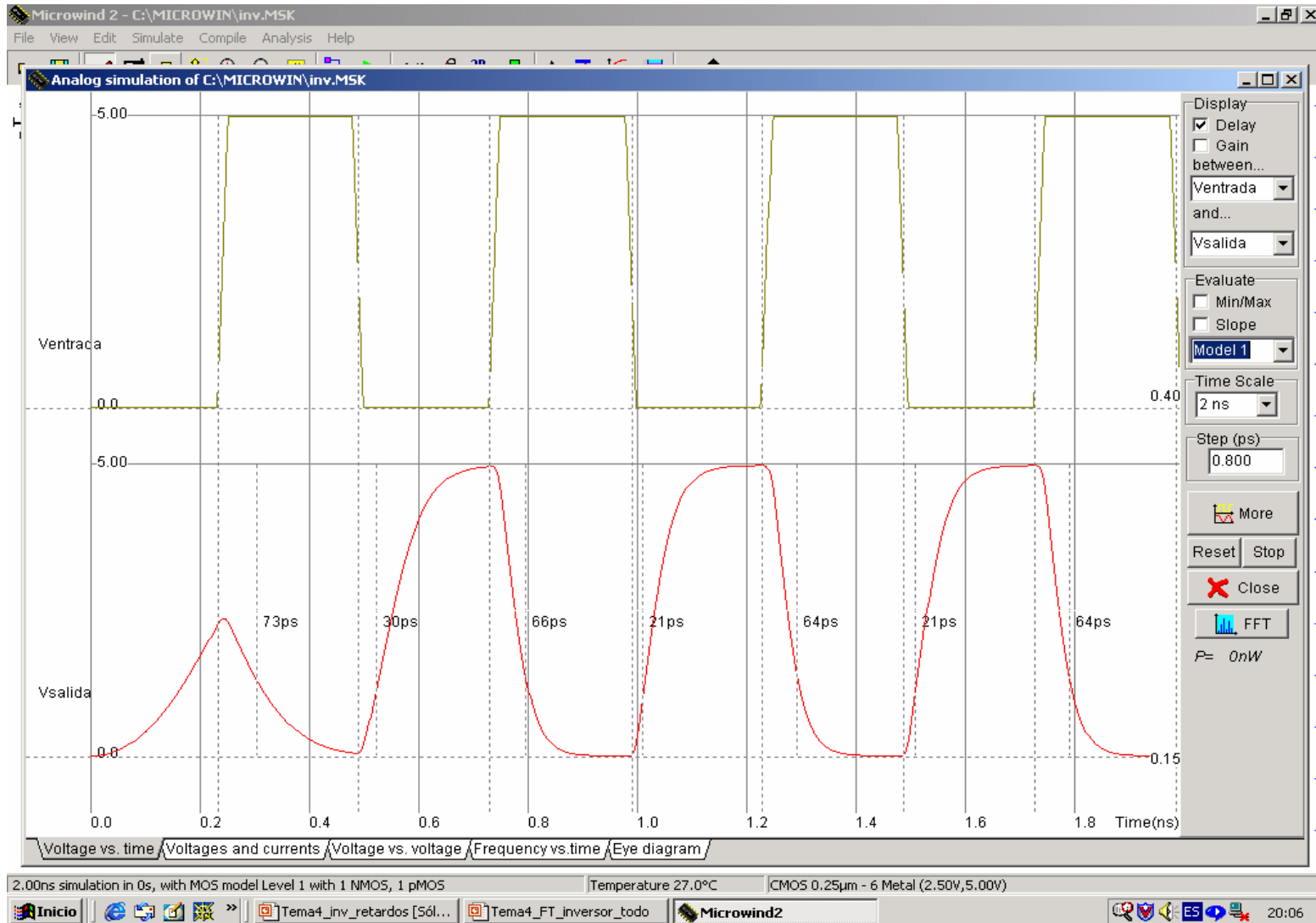
Tiempos de retardo para una capacidad de carga de 0,01pF



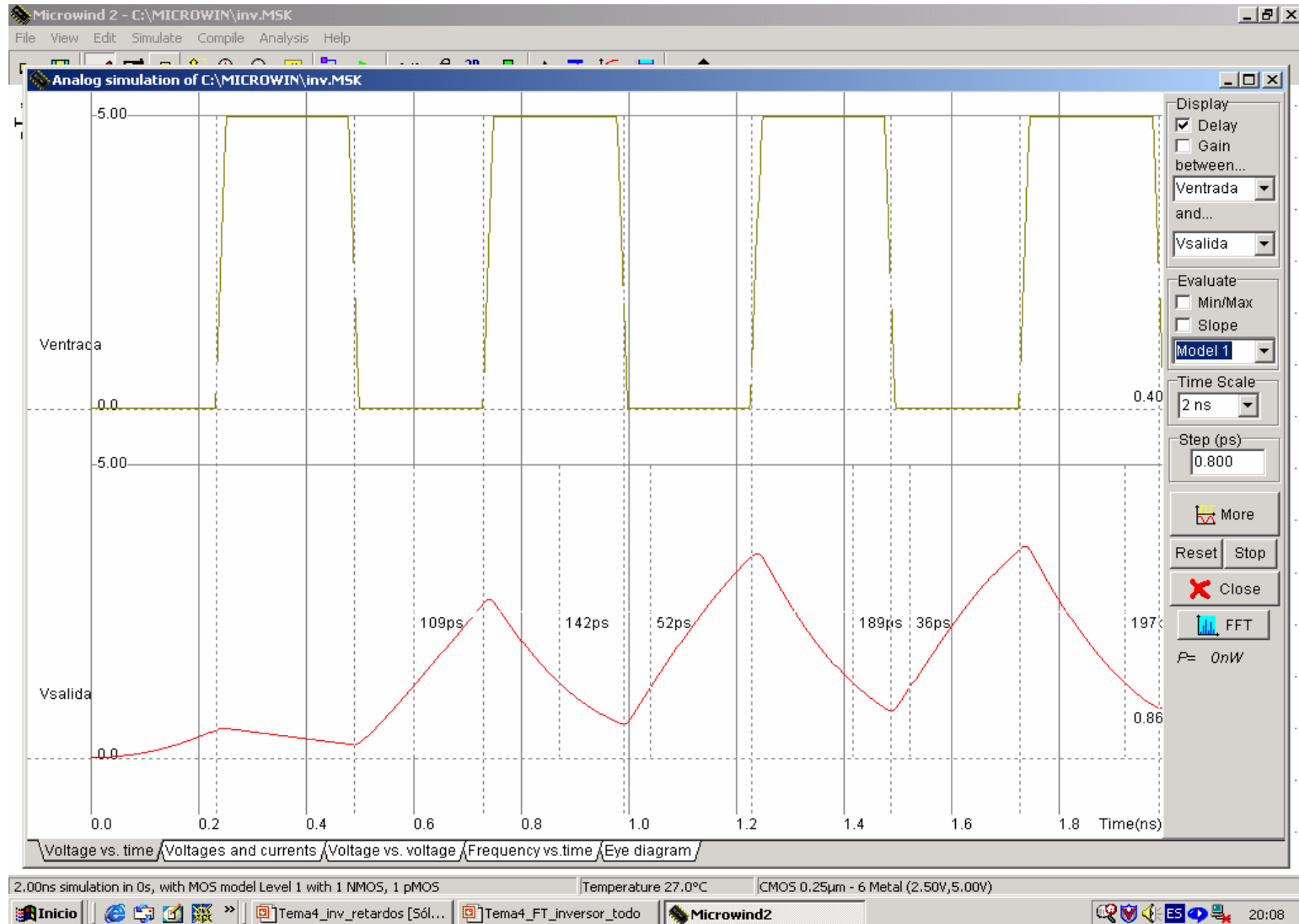
Tiempos de retardo para una capacidad de carga de 0,02pF



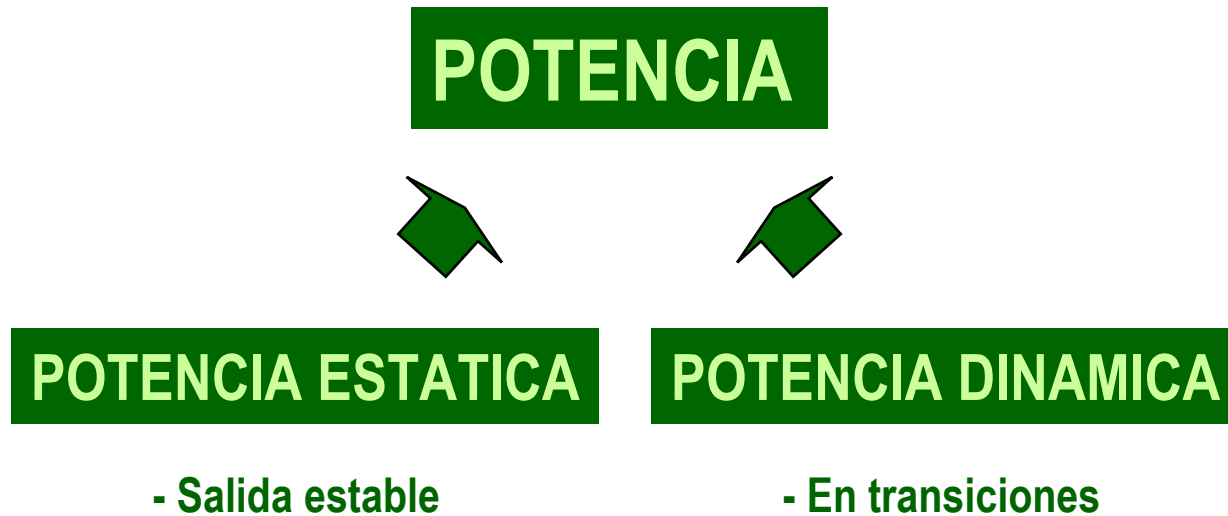
Tiempos de retardo para una capacidad de carga de 0,1 pF



Tiempos de retardo para una capacidad de carga de 0,5 pF

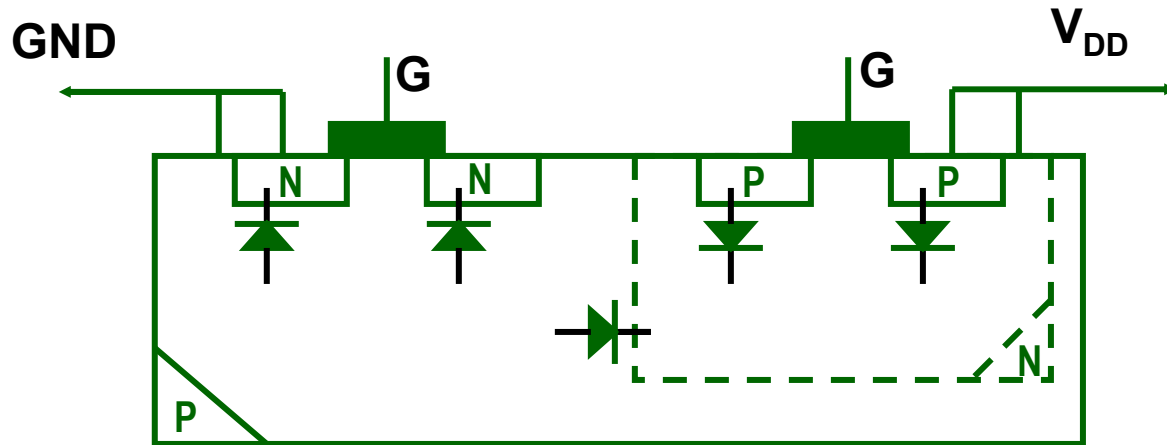


Disipación de potencia



Disipación de potencia

POTENCIA ESTÁTICA

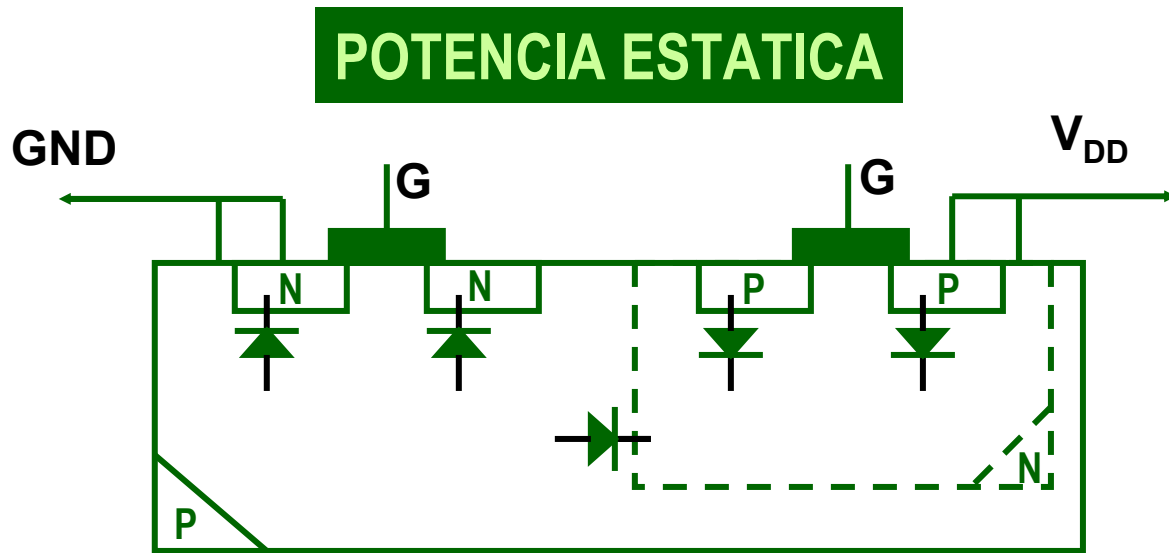


$$I_D = 0$$

$$I_{\text{diodo}} = I_0 (e^{qV/KT} - 1)$$

$$P_E \approx \sum_{1}^N I_{\text{fugas}} V_{DD}$$

Disipación de potencia



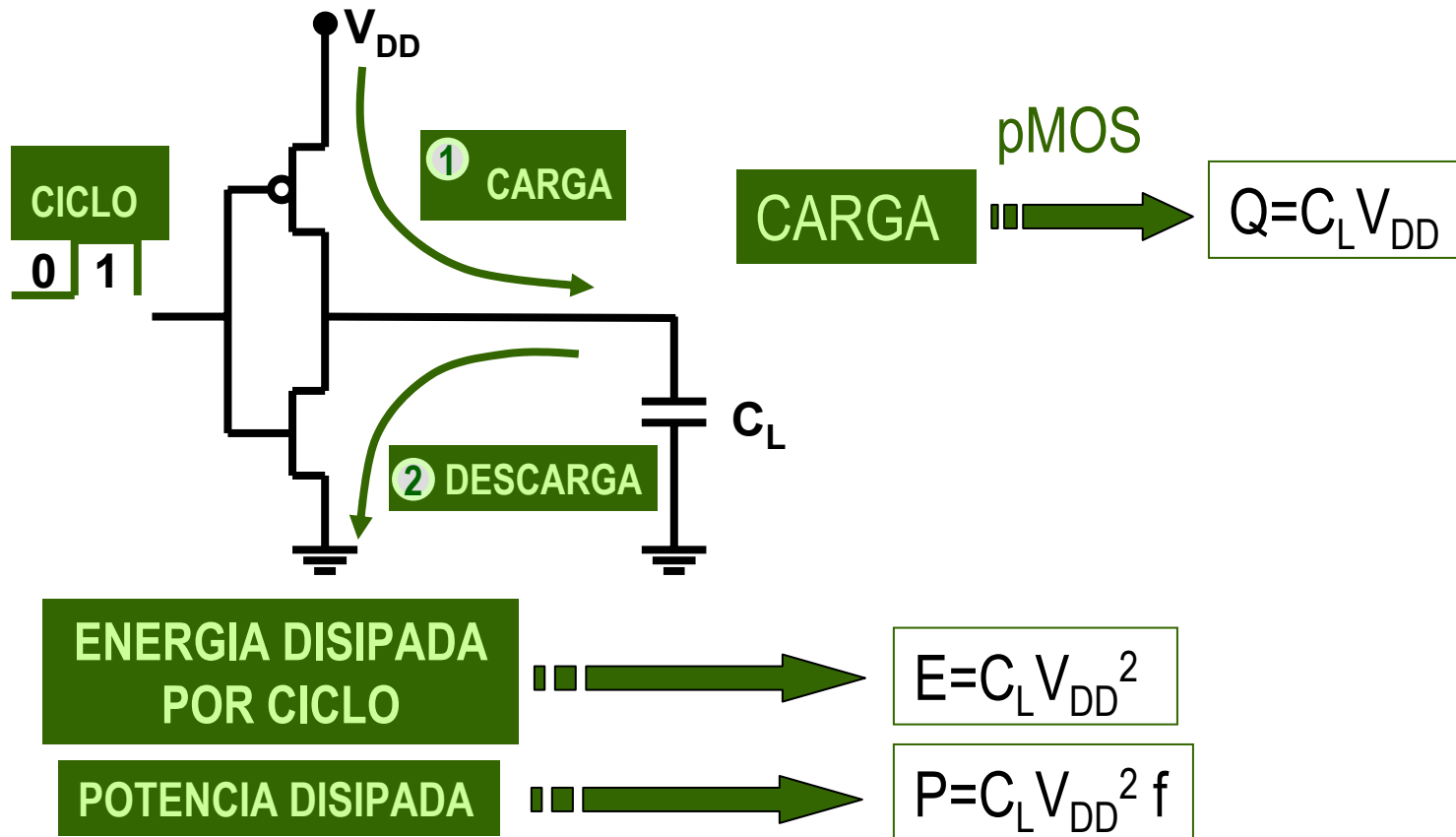
Si se considera que la corriente de fugas por transistor a temperatura ambiente esta comprendida entre 0,1 a 0,5 nA. Un inversor funcionando a 5V, disiparía entre:

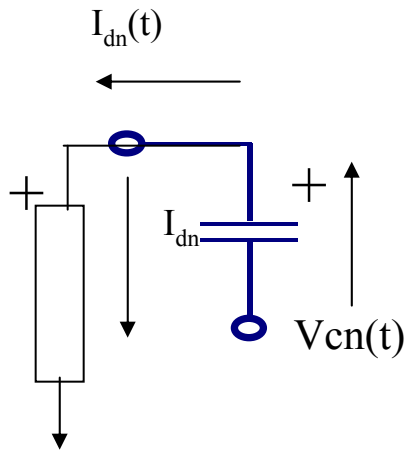
$$P_E \approx \sum_{1}^2 0,1 \text{ nA } 5 \text{ V} = 1 \text{ nW}$$

$$P_E \approx \sum_{1}^2 0,5 \text{ nA } 5 \text{ V} = 5 \text{ nW}$$

Disipación de potencia

POTENCIA DINAMICA





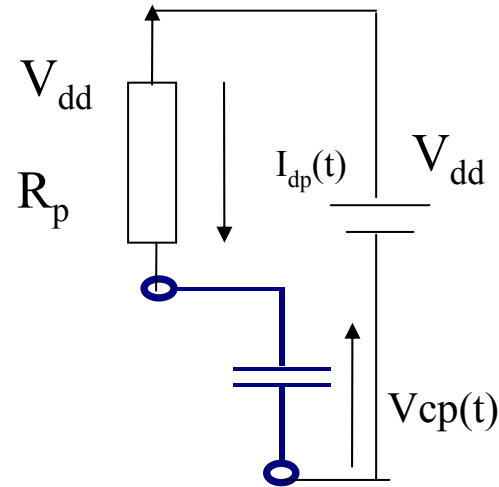
$$P_{\text{media}} = \frac{1}{T} \int_0^{T/2} I_{\text{dn}}(t) V_{\text{cn}}(t) dt + \frac{1}{T} \int_{T/2}^T I_{\text{dp}}(t) V_{\text{cp}}(t) dt$$

Transistor N: $I_{\text{dn}}(t) = -C dV_c/dt$

$$V_{\text{cn}}(t) = V_c(t)$$

Transistor P: $I_{\text{dp}}(t) = C dV_c/dt$

$$V_{\text{cp}}(t) = V_{\text{dd}} - V_c(t)$$



$$P_{\text{media}} = \frac{1}{T} \int_0^{T/2} -C dV_c/dt V_c(t) dt +$$

$$+ \frac{1}{T} \int_{T/2}^T C dV_c/dt (V_{\text{dd}} - V_c(t)) dt$$

$$P_{\text{media}} = \frac{1}{T} \int_0^{T/2} -C V_c(t) dV_c + \frac{1}{T} \int_{T/2}^T C (V_{\text{dd}} - V_c(t)) dV_c$$

Teniendo en cuenta que el termino diferencial ha cambiado, habrá que redefinir los limites de la integral en términos de la V_c

Límites para N: Valor inicial $V_c = V_{\text{dd}}$ y valor final $V_c = 0$ (descarga)

Limites para P Valor inicial $V_c = 0$ y valor final $V_c = V_{\text{dd}}$ (carga)

$$P_{\text{media}} = \frac{1}{T} \int_{V_{\text{dd}}}^0 -C V_c(t) dV_c + \frac{1}{T} \int_0^{V_{\text{dd}}} C (V_{\text{dd}} - V_c(t)) dV_c$$

$$P_{\text{media}} = C/T \left[\left(-V_c^2/2 \right) \Big|_{V_{\text{dd}}}^0 + \left(V_{\text{dd}} V_c - V_{\text{dd}}^2/2 \right) \Big|_0^{V_{\text{dd}}} \right] = V_{\text{dd}}^2 C/T = V_{\text{dd}}^2 C f$$

Dado que $C = C_{\text{ox}} LW$, tanto la reducción de las dimensiones como la tensión de polarización contribuyen a disminuir el consumo

Bibliografía básica:

[Rab.96] J. M. Rabaey, "Digital Integrated Circuits: A Design Perspective", Prentice-Hall, 1996.

Manual de usuario de la herramienta Microwind2 © (E.Sicard)

Bibliografía complementaria:

[Kan.99] S-M, Kang/Y. Leblebici, "CMOS Digital Integrated Circuits: Analysis and Design", McGraw-Hill, 2ª Ed., 1999

[Wes.93] N. Weste/K. Eshraghian, "Principles of CMOS VLSI Design: A Systems Perspective", Addison-Wesley, 2ª Ed., 1993.