

TECNOLOGÍA DE COMPUTADORES

(CURSO 2009- 2010)

Curso: 2º (Plan:96)
Asignatura: Obligatoria
Impartición: 1º cuatrimestre
Créditos: 4.5 (3T + 1.5P)

PROGRAMA

TEMA 0. Introducción: Aspectos Tecnológicos y Metodológicos del diseño de sistemas.

TÉCNICAS DE DISEÑO ELECTRÓNICO MEDIANTE LENGUAJES DE DESCRIPCIÓN HARDWARE

TEMA 1. Panorámica del Leguaje de Descripción Hardware "VHDL".

TEMA 2. Descripción del VHDL.

TEMA 3. Modelos de sistemas digitales con el lenguaje VHDL.

TÉCNICAS DE DISEÑO DE CIRCUITOS INTEGRADOS A NIVEL DE LAYOUT

TEMA 4. Caracterización y modelado de dispositivos MOS.

TEMA 5. Proceso de fabricación.

TEMA 6. Sistemas combinatoriales estáticos y dinámicos.

TEMA 7. Registro de la información y sistemas de memoria.

TEMA 8. Factores tecnológicos en la construcción de chips y tendencias futuras.

BIBLIOGRAFÍA

REFERENCIAS BÁSICAS

- 1 S.A. Pérez, E. Soto, S. Fernández, *Diseño de Sistemas Digitales con VHDL*, Thomson, 2002.
- 2 P. Gómez, V. Nieto, A. Álvarez, R. Martínez, *Fundamentos Físicos y Tecnológicos de la Informática*, Pearson-Prentice Hall, 2007.
- 3 Jan M. Rabaey, *Digital Integrated Circuits*, Prentice Hall Electronics and VLSI Series, 1996.

REFERENCIAS COMPLEMENTARIAS

- 1 F. Pardo, J. Boluda, *VHDL: Lenguaje para Síntesis y Modelado de Circuitos*, RA-MA, 1999.
- 2 L.J., Herbst, *Integrated Circuit Engineering. Establishing a foundation*, Oxford Science Publications, 1996.
- 3 M.J., Morant, *Diseño y Tecnología de Circuitos Integrados*, Addison-Wesley Iberoamericana, 1994.
- 4 S-M.,Kang, Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, McGraw-Hill, 2ª Edición, 1999.

MANUALES Y GUÍAS DE USUARIO

- 1 V. Rodellar, *Transparencias de clase*. Departamento de publicaciones de la FMI y página web de la asignatura.
- 2 V. Rodellar, *Guía de utilización de la herramienta Veribest y guiones de prácticas*. Departamento de publicaciones de la FMI y página web de la asignatura.
- 3 E. Sicard, *Microwind & Dsch User's Manual*, <http://intrade.insatlse.fr/~etienne/Microwind/>

Tema 0: Introducción: Aspectos Tecnológicos y Metodológicos del diseño de sistemas.

0.1 Evolución de la Tecnología.

- 0.1.1 Implicaciones de la longitud de canal de los transistores.
- 0.1.2 Chips estándar.
- 0.1.3 Dispositivos Programables.
- 0.1.4 Circuitos integrados no programables.

0.2 Metodologías de diseño.

- 0.2.1 Niveles de abstracción y jerarquías.
- 0.2.2 Lenguajes de Descripción Hardware (HDL).
- 0.2.3 Herramientas CAD.

Tema 1: Panorámica del Lenguaje de Descripción Hardware “VHDL”.

1.1 Características.

1.2 Unidades de diseño.

- 1.2.1 Bibliotecas, y paquetes.
- 1.2.2 Entidades.
- 1.2.3 Arquitecturas. Estilos: Algorítmico, Flujo y Estructural.
- 1.2.4 Configuraciones.

1.3 Modelo Temporal.

- 1.3.1 Caracterización de señales: Transacciones, eventos y drivers.
- 1.3.2 Modelo de simulación. Definiciones de tiempos.
- 1.3.3 Modelos para test.
- 1.3.4 Tipos de retardos: delta, inercial, transporte.

Tema 2: Descripción del VHDL.

2.1 Elementos básicos.

- 2.1.1 Identificadores y palabras reservadas.
- 2.1.2 Tipos de objetos y de datos.
- 2.1.3 Tipos de operandos y operadores.
- 2.1.4 Atributos.

2.2 Sentencias.

- 2.2.1 Sentencias secuenciales.
 - 2.2.1.1 Wait.
 - 2.2.1.2 Asignación de señal y variable. Diferencias. 2.2.1.3. Sentencias condicionales: if, case.
 - 2.2.1.4 Bucles: for y loop.
 - 2.2.1.5 Otras sentencias: return, null, assert.
 - 2.2.1.6 Llamadas a funciones y procedimientos.
- 2.2.2 Sentencias concurrentes.
 - 2.2.2.1 Process. Lista de sensibilidad.
 - 2.2.2.2 Asignación de señal: when-else y with-select.
 - 2.2.2.3 Block. Ejecución condicional de sentencias: guarded.
 - 2.2.2.4 Instanciación de componentes.
 - 2.2.2.5 Bucles estructurales y condicionales: for-generate, if-generate.
 - 2.2.2.6 Llamada a subprogramas.

Tema 3: Modelos de sistemas digitales con el lenguaje VHDL.

3.1 Sistemas combinacionales.

- 3.1.1 Modelado de retardos en funciones lógicas y estilos de descripción de arquitecturas.
- 3.1.2 Modelado de multiplexores en los estilos: algorítmico, flujo y estructural.
- 3.1.3 Modelado de decodificadores en los estilos: algorítmico, flujo y estructural.
- 3.1.4 Otros ejemplos.

3.2 Sistemas de memoria.

- 3.2.1 Realización de biestables y latches en estilos: comportamiento, flujo y estructural. Entradas de control asíncronas y síncronas. Relojes.
- 3.2.2 Realización de registros en estilo estructural. Reusabilidad. Bucles hardware.
- 3.2.3 Otros ejemplos.

3.3 Sistemas secuenciales.

- 3.3.1 Modelos para Máquinas de estados finitos en estilos comportamiento, flujo y estructural.
- 3.3.2 Realización de una máquina de Moore.
- 3.3.3 Realización de una máquina de Mealy.
- 3.3.4 Modelado de una máquina a partir de su esquemático.
- 3.3.5 Descripción de la práctica a realizar por los alumnos.

Tema 4: Caracterización y modelado de dispositivos MOS.

4.1 Estructura Física.

4.2 Características de los dispositivos MOS.

- 4.2.1 Curvas y ecuaciones características.
- 4.2.2 Modelo de resistencia y capacidad.

4.3 El inversor CMOS.

- 4.3.1 Función de transferencia.
- 4.3.2 Retardos de propagación.
- 4.3.3 Disipación de potencia/velocidad.

4.4 Interfaz entre circuitos. Salida triestado.

Tema 5: Proceso de fabricación. Descripción y representación del layout

5.1 Introducción.

5.2 Técnicas Básicas.

- 5.2.1 Fabricación de obleas.
- 5.2.2 Oxidación.
- 5.2.3 Generación de máscaras.
- 5.2.4 Litografiado y grabado.
- 5.2.5 Difusión e implantación de iones.
- 5.2.6 Deposición y crecimiento.
- 5.2.7 Metalización, conexionado y encapsulado.

5.3 Procesos de fabricación.

- 5.3.1 Pozos p y n.
- 5.3.2 Efecto latch-up.

5.4 Descripción y representación simbólica del layout

- 5.4.1 Formatos de intercambio de información.
- 5.4.2 Código de representación del layout

5.5 Reglas de Diseño.

Tema 6: Sistemas Combinacionales Estáticos y Dinámicos.

6.1 Subsistema de conmutación por asignación de fuentes a la salida.

- 6.1.1 Puertas NAND de 2 entradas.
- 6.1.2 Equilibrio de retardos en NAND2.
- 6.1.3 Puertas NOR de 2 entradas.
- 6.1.4 Equilibrio de retardos en NOR2.
- 6.1.5 Reequilibrio de retardos en la puerta NOR2.
- 6.1.6 Otras puertas basadas en subconjuntos duales.

6.2 Subsistemas de conmutación por transmisión de señal.

- 6.2.1 Puertas de transmisión.
- 6.2.2 Puertas triestado.

6.3 Subsistemas basados en multiplexores.

- 6.3.1 Multiplexores independizados respecto a la carga.
- 6.3.2 Puertas XOR/NXOR.
- 6.3.3 Puertas AND/NAND.
- 6.3.4 Puertas OR/NOR.

6.4 Sistemas dinámicos.

- 6.4.1 Puertas NAND y NOR dinámicas.

Tema 7: Registro de la Información y Sistemas de Memoria.

7.1 Sistemas regenerativos.

- 7.1.1 Realimentación positiva.
- 7.1.2 Latch basado en un multiplexor 2:1.
- 7.1.3 Principio de biestabilidad.
- 7.1.4 Sistemas MS basados en multiplexores.

7.2 Sistemas no regenerativos.

- 7.2.1 El registro dinámico.
- 7.2.2 Registros de desplazamiento.

7.3 Celdas básicas de la memoria estática.

- 7.3.1 Celda de bit.
- 7.3.2 Celdas de amplificación (sensor).
- 7.3.3 Celdas de precarga.
- 7.3.4 Interfaz de escritura.

7.3.5 Funcionamiento del conjunto precarga, celda de bit y sensor.

7.3.6 Decodificadores.

7.4 Celdas básicas de la memoria dinámica.

7.4.1 Celda de bit de memoria dinámica.

Tema 8: Factores Tecnológicos en la Construcción de Chips y Tendencias Futuras.

8.1 Planificación de los sistemas integrados.

8.1.1 Unidades Lineales: Arrays de registros.

8.1.2 Unidades matriciales: Multiplicadores, memoria, PLA's.

8.1.3 Unidades no estructuradas: Lógica no matricial (*RANDOM*).

8.1.4 Unidades de conexión masiva: Buses.

8.1.5 Puntos de conexión periférica (*BONDING PADS*).

8.1.6 Distribución de alimentaciones.

8.1.7 Distribución de relojes.

8.1.8 Emplazamiento y encaminamiento.

8.1.9 Verificación y encapsulado.

8.2 Características tecnológicas.

8.2.1 Área y densidad de integración.

8.2.2 Disipación de potencia y su reducción.

8.2.3 Velocidad de reloj.

8.2.4 Costes de fabricación y su reducción.

8.3 Evolución tecnológica.

8.3.1 Antecedentes históricos.

8.3.2 La ley de Moore.

8.3.3 La reducción de escala.

8.3.4 Progresión tecnológica esperable en los próximos años.

8.3.5 And 'MOORE' to come.