

ANX-PR/CL/001-01
GUÍA DE APRENDIZAJE

ASIGNATURA
Sistemas digitales

CURSO ACADÉMICO - SEMESTRE
2016-17 - Segundo semestre

BORRADOR

Datos Descriptivos

Nombre de la Asignatura	Sistemas digitales
Titulación	10II - Grado en Ingeniería Informática
Centro responsable de la titulación	Escuela Técnica Superior de Ingenieros Informáticos
Semestre/s de impartición	Segundo semestre
Materias	Informática
Carácter	Básica
Código UPM	105000012
Nombre en inglés	Digital systems

Datos Generales

Créditos	6	Curso	1
Curso Académico	2016-17	Período de impartición	Febrero-Junio
Idioma de impartición	Castellano	Otros idiomas de impartición	

Requisitos Previos Obligatorios

Asignaturas Previas Requeridas

El plan de estudios Grado en Ingeniería Informática no tiene definidas asignaturas previas superadas para esta asignatura.

Otros Requisitos

El plan de estudios Grado en Ingeniería Informática no tiene definidos otros requisitos para esta asignatura.

Conocimientos Previos

Asignaturas Previas Recomendadas

Fundamentos físicos y tecnológicos de la informática

Otros Conocimientos Previos Recomendados

Álgebra de Boole

Competencias

- CG-1/21 - Capacidad de resolución de problemas aplicando conocimientos de matemáticas, ciencias e ingeniería.
- CG-19 - Capacidad de usar las tecnologías de la información y la comunicación.
- CG-5 - Capacidad de gestión de la información.
- CG-6 - Capacidad de abstracción, análisis y síntesis
- Ce 10 - Concebir y desarrollar sistemas digitales utilizando lenguajes de descripción hardware.
- Ce 2 - Formalización y especificación de problemas reales cuya solución requiere el uso de la informática.

Resultados de Aprendizaje

- RA513 - RA422 - Capacidad para la resolución de problemas de análisis y diseño en el ámbito de la electrónica digital, relativos a Sistemas Digitales
- RA512 - RA352 - Conocimiento de las partes integrantes del soporte físico de los ordenadores
- RA231 - Diseñar y analizar un sistema digital (combinacional y secuencial) y su construcción en tecnología CMOS.
- RA232 - Especificar y simular el funcionamiento de sistemas digitales mediante lenguajes de descripción hardware.
- RA511 - RA409 - Capacidad para diseñar, realizar experimentos e interpretar los resultados en Sistemas Digitales

Profesorado

Profesorado

Nombre	Despacho	e-mail	Tutorías
Perez Castellanos, Maria Mercedes (Coordinador/a)	4207	mariamercedes.perez@upm.es	M - 10:00 - 13:00 X - 13:00 - 14:00 J - 11:00 - 13:00
Alvarez Marquina, Agustin	4211	agustin.alvarez@upm.es	M - 09:00 - 11:00 X - 09:00 - 11:00 J - 09:00 - 11:00
Gonzalo Martin, Consuelo	4207	consuelo.gonzalo@upm.es	M - 09:00 - 11:00 X - 09:00 - 13:00
Hermida De La Rica, Mariano	4208	mariano.hermida@upm.es	M - 15:15 - 17:15 X - 15:15 - 17:15 J - 15:15 - 17:15
Martinez Izquierdo, M.estibaliz	4210	mariaestibaliz.martinez@upm.es	X - 10:00 - 13:00 J - 11:00 - 14:00
Rodellar Biarge, M. Victoria	4207	maria victoria.rodellar@upm.es	M - 15:00 - 19:00 X - 15:00 - 17:00

Nota.- Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

Descripción de la Asignatura

La asignatura de Sistemas Digitales introduce al alumno en el diseño y realización de las unidades funcionales que componen los sistemas informáticos. Esta introducción abarca la construcción a nivel físico con componentes lógicos y de memoria, así como el nivel de simulación mediante Lenguajes de Descripción Hardware (HDL). Se comienza describiendo la funcionalidad de las puertas lógicas y los sistemas combinacionales y se continúa presentando los subsistemas clásicos destinados a la realización de operaciones aritméticas y lógicas, al almacenamiento y control de la información.

La asignatura se imparte en español en la mayoría de los grupos; hay una opción de cursarla en inglés en el grupo 2Mi.

Temario

1. Circuitos Combinacionales
 - 1.1. Introducción a los sistemas digitales
 - 1.2. Funciones combinacionales. Simplificación e implementación
 - 1.3. Multiplexores
 - 1.4. Codificadores y decodificadores
 - 1.5. Comparadores
 - 1.6. Modelado de circuitos combinacionales en VHDL
2. Sistemas aritméticos básicos
 - 2.1. Sistemas numéricos posicionales. Binario, octal, hexadecimal y BCD
 - 2.2. Aritmética entera con signo: Signo magnitud, complemento a uno, complemento a dos. Extensión de signo
 - 2.3. Semisumador y sumador completo, Sumador binario paralelo con acarreo serie
 - 2.4. Sumador/restador en complemento a dos. Detección del desbordamiento
 - 2.5. Ejemplo de una unidad aritmético lógica
 - 2.6. Modelado de circuitos aritméticos en HDL
3. Registro de la información
 - 3.1. Sistemas síncronos. Relojes
 - 3.2. Almacenamiento estático de la información. Latches y biestables
 - 3.3. Especificación de los biestables. Frecuencia máxima, tiempos de setup y de hold
 - 3.4. Registros, pilas y contadores
 - 3.5. Modelado de biestables y registros en VHDL

4. Sistemas Secuenciales Síncronos

- 4.1. Definición de sistema secuencial
- 4.2. Concepto de estado. Máquinas de estados finitos (FSM)
- 4.3. Autómatas de Mealy y de Moore
- 4.4. Especificación y etapas de diseño de sistemas secuenciales síncronos
- 4.5. Modelado de máquinas de estados finitos en VHDL

5. Introducción a las memorias

- 5.1. Conceptos y terminología básicos
- 5.2. Clasificación y jerarquías
- 5.3. Memorias de solo lectura (ROM)
- 5.4. Memorias de acceso aleatorio (RAM)
- 5.5. Expansión de memorias

BORRADOR

Cronograma

Horas totales: 101 horas y 30 minutos

Horas presenciales: 69 horas y 30 minutos (44.6%)

Peso total de actividades de evaluación continua:
100%

Peso total de actividades de evaluación sólo prueba final:
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<p>Presentación de la asignatura, guía docente y plataforma Moodle.</p> <p>Duración: 01:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Tema1: Circuitos Combinacionales</p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p>			<p>Trabajo personal</p> <p>Duración: 02:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>
Semana 2	<p>Tema 1: Circuitos Combinacionales</p> <p>Duración: 02:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas del tema 1: Circuitos combinacionales</p> <p>Duración: 02:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>			<p>Trabajo personal</p> <p>Duración: 02:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>
Semana 3	<p>Tema 1: Circuitos combinacionales</p> <p>Duración: 02:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas del tema 1 Circuitos combinacionales</p> <p>Duración: 01:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>	<p>Introducción a la herramienta de simulación de VHDL</p> <p>Duración: 01:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		<p>Pruebas/trabajos de evaluación del tema de circuitos combinacionales</p> <p>Duración: 00:30</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad presencial</p> <p>Trabajo personal</p> <p>Duración: 02:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>
Semana 4	<p>Tema 1: Circuitos combinacionales</p> <p>Duración: 02:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>	<p>Práctica de Sistemas Combinacionales en VHDL</p> <p>Duración: 02:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		<p>Entrega de los resultados de simulación en VHDL de circuitos combinacionales</p> <p>Duración: 00:30</p> <p>PG: Técnica del tipo Presentación en Grupo</p> <p>Evaluación continua y sólo prueba final</p> <p>Actividad presencial</p> <p>Trabajo personal</p> <p>Duración: 02:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>

Semana 5	<p>Tema 2: Sistemas aritméticos básicos Duración: 04:00 LM: Actividad del tipo Lección Magistral</p>			<p>Test de la primera práctica de VHDL Duración: 00:30 EP: Técnica del tipo Examen de Prácticas Evaluación continua y sólo prueba final Actividad presencial Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 6	<p>Tema 2: Sistemas aritméticos básicos Duración: 02:00 PR: Actividad del tipo Clase de Problemas Tema 2: Sistemas aritméticos básicos Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p>Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 7	<p>Tema 2: Sistemas aritméticos básicos Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 2: Sistemas aritméticos básicos Duración: 01:30 PR: Actividad del tipo Clase de Problemas Tema 3: Registro de la información Duración: 01:30 PR: Actividad del tipo Clase de Problemas</p>			<p>Pruebas/trabajos de evaluación del tema de circuitos aritméticos Duración: 00:30 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial Trabajo personal Duración: 04:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 8	<p>Tema 3: Registro de la información Duración: 04:00 LM: Actividad del tipo Lección Magistral</p>			<p>Examen Parcial Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p>
Semana 9	<p>Tema 3: Registro de la información Duración: 02:00 LM: Actividad del tipo Lección Magistral Tema 3: Registro de la información Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>			<p>Pruebas/trabajos de evaluación del tema de registro de la información Duración: 00:30 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>

Semana 10	<p>Tema 3: Registro de la información Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p> <p>Tema 4: Sistemas Secuenciales Síncronos Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>	<p>Práctica de Biestables y Registros en VHDL Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p>Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 11	<p>Tema 4: Sistemas Secuenciales Síncronos Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>	<p>Práctica de Biestables y Registros en VHDL Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p>Entrega de los resultados de simulación en VHDL de Biestables y registros Duración: 00:30 PG: Técnica del tipo Presentación en Grupo Evaluación continua y sólo prueba final Actividad presencial</p> <p>Test de la segunda práctica de VHDL Duración: 00:30 EP: Técnica del tipo Examen de Prácticas Evaluación continua y sólo prueba final Actividad presencial</p> <p>Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 12	<p>Tema 4: Sistema Secuenciales síncronos Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>	<p>Práctica de Maquinas de Estados Finitos en VHDL Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p>Pruebas/trabajos de evaluación del tema de sistema secuenciales Duración: 00:30 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial</p> <p>Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 13	<p>Tema 4: Sistemas Secuenciales Síncronos Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>	<p>Práctica de Maquinas de Estados Finitos en VHDL Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p>Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>

Semana 14	<p>Tema 4: Sistema Secuenciales síncronos Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>	<p>Práctica de Maquinas de Estados Finitos en VHDL Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>	<p>Entrega de los resultados de simulación en VHDL de Maquinas de Estados Finitos Duración: 00:30 PG: Técnica del tipo Presentación en Grupo Evaluación continua y sólo prueba final Actividad presencial</p> <p>Test de la tercera práctica de VHDL Duración: 00:30 EP: Técnica del tipo Examen de Prácticas Evaluación continua y sólo prueba final Actividad presencial</p> <p>Trabajo personal Duración: 02:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 15	<p>Tema 5: Memorias Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 5: Memorias Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>		<p>Pruebas/trabajos de evaluación del tema de memorias Duración: 00:30 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial</p> <p>Trabajo personal Duración: 04:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial</p>
Semana 16			<p>Examen Parcial Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p>
Semana 17			<p>Examen Final Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad presencial</p>

Nota.- El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

Nota 2.- Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
1	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
2	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, Ce 2, Ce 10, CG-5, CG-6
3	Pruebas/trabajos de evaluación del tema de circuitos combinacionales	00:30	Evaluación continua	OT: Otras técnicas evaluativas	Sí	4%		CG-1/21, CG-19, CG-6, CG-5, Ce 2, Ce 10
3	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, Ce 2, CG-5, CG-6, Ce 10
4	Entrega de los resultados de simulación en VHDL de circuitos combinacionales	00:30	Evaluación continua y sólo prueba final	PG: Técnica del tipo Presentación en Grupo	Sí	1.2%		CG-1/21, CG-19, CG-6, CG-5, Ce 2, Ce 10
4	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, Ce 2, CG-5, CG-6, Ce 10
5	Test de la primera práctica de VHDL	00:30	Evaluación continua y sólo prueba final	EP: Técnica del tipo Examen de Prácticas	Sí	2.8%		CG-6, CG-5, CG-1/21, CG-19, Ce 2, Ce 10
5	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, Ce 2, CG-5, CG-6, Ce 10
6	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, Ce 2, CG-5, CG-6, Ce 10
7	Pruebas/trabajos de evaluación del tema de circuitos aritméticos	00:30	Evaluación continua	OT: Otras técnicas evaluativas	Sí	4%		CG-19, CG-1/21, CG-5, CG-6, Ce 2, Ce 10
7	Trabajo personal	04:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, CG-5, CG-6, Ce 2, Ce 10
8	Examen Parcial	02:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	25%		CG-5, CG-1/21, Ce 10, Ce 2, CG-19, CG-6
9	Pruebas/trabajos de evaluación del tema de registro de la información	00:30	Evaluación continua	OT: Otras técnicas evaluativas	Sí	4%		CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
9	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
10	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
11	Entrega de los resultados de simulación en VHDL de Bistables y registros	00:30	Evaluación continua y sólo prueba final	PG: Técnica del tipo Presentación en Grupo	Sí	1.8%		CG-6, CG-19, CG-1/21, Ce 2, Ce 10, CG-5
11	Test de la segunda práctica de VHDL	00:30	Evaluación continua y sólo prueba final	EP: Técnica del tipo Examen de Prácticas	Sí	4.2%		CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
11	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
12	Pruebas/trabajos de evaluación del tema de sistema secuenciales	00:30	Evaluación continua	OT: Otras técnicas evaluativas	Sí	4%		CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
12	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
13	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
14	Entrega de los resultados de simulación en VHDL de Maquinas de Estados Finitos	00:30	Evaluación continua y sólo prueba final	PG: Técnica del tipo Presentación en Grupo	Sí	3%		CG-6, CG-19, CG-1/21, Ce 2, Ce 10, CG-5
14	Test de la tercera práctica de VHDL	00:30	Evaluación continua y sólo prueba final	EP: Técnica del tipo Examen de Prácticas	Sí	7%		CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
14	Trabajo personal	02:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-19, CG-1/21, Ce 2, Ce 10, CG-5, CG-6
15	Pruebas/trabajos de evaluación del tema de memorias	00:30	Evaluación continua	OT: Otras técnicas evaluativas	Sí	4%		CG-19, CG-5, CG-6, CG-1/21, Ce 2, Ce 10
15	Trabajo personal	04:00	Evaluación continua	OT: Otras técnicas evaluativas	No			CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
16	Examen Parcial	02:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	35%		CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10
17	Examen Final	02:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	80%		CG-5, CG-6, CG-19, CG-1/21, Ce 2, Ce 10

Criterios de Evaluación

La asignatura se superará cuando se obtengan 5 o más puntos sobre un total de 10, según los porcentajes indicados en la sección anterior. No existe nota mínima obligatoria en ninguna de las partes que componen la asignatura, **si bien es obligatorio realizar la totalidad de las prácticas, entrega de memoria y realización de las correspondientes evaluaciones** independientemente del idioma de impartición escogido, y tanto para la opción "sólo examen final" como para la opción de evaluación continua.

Se guardará la calificación de las prácticas de la asignatura para cursos posteriores, **siempre que la calificación final** de las mismas sea mayor o igual que 5 puntos sobre 10 y se haya cumplido la condición anterior. Se guardará la nota de prácticas de la convocatoria ordinaria para la extraordinaria **SOLAMENTE** en el caso de que dicha nota sea aprobada. En caso de no estar aprobada, se deberá realizar un examen de prácticas, cuyo peso será el 70% de la nota total de prácticas. El otro 30% de la nota de prácticas será la calificación obtenida en la realización y entrega de las memorias de las prácticas durante el desarrollo del curso académico. Cada alumno se examinará de las prácticas que haya desarrollado y los exámenes serán en el idioma de impartición que se haya escogido. En cualquier caso, los alumnos podrán presentar en la convocatoria extraordinaria las prácticas, si no las hubiesen realizado, o hubiesen resultados suspensos.

Para la opción de **EVALUACION CONTINUA**, en los grupos impartidos en español, la nota final de la asignatura vendrá dada por:

$$\text{Nota Final} = 25\% \text{ Examen del Primer Parcial} + 35\% \text{ Examen del Segundo Parcial} + 40\% \text{ Notas de curso}$$

$$40\% \text{ Notas de curso} = 20\% \text{ Trabajo personal} + 20\% \text{ Prácticas}$$

La nota de **trabajo personal** se obtendrá mediante pruebas y/o trabajos que se propongan en cada grupo sobre cada tema.

La nota de **prácticas** vendrá dada por la realización y desarrollo (30%) y examen (70%) de cada una de las **tres prácticas**, cuyas contribuciones a la **nota final** serán:

$$\text{Primera práctica (4\%)} = 1,2\% \text{ elaboración y entrega} + 2,8\% \text{ examen}$$

$$\text{Segunda práctica (6\%)} = 1,8\% \text{ elaboración y entrega} + 4,2\% \text{ examen}$$

$$\text{Tercera práctica (10\%)} = 3\% \text{ elaboración y entrega} + 7\% \text{ examen}$$

Las opciones de **evaluación continua** y **"sólo examen final"** son excluyentes entre sí. Asimismo, las opciones **impartición en inglés** y **"sólo examen final"** son excluyentes entre sí, en caso de no haber aprobado las prácticas previamente en la propia opción de impartición en inglés.

Si se desea escoger la opción de **"sólo examen final"**, es preciso comunicarlo **por medio de una instancia al coordinador de la asignatura dentro del plazo de las dos primeras semanas de impartición de la asignatura.**

En la opción de **SOLO EXAMEN FINAL** o en la **CONVOCATORIA EXTRAORDINARIA**, independientemente del idioma escogido para cursar la asignatura, la nota final será:

Nota = 80% Examen + 20% Prácticas

Para la opción de cursar la **OPCION EN INGLES**, la **nota final** de la asignatura vendrá dada por:

Nota Final = 25% Examen del Primer Parcial + 35% Examen del Segundo Parcial + 40% Notas de curso

40 % Notas de curso = 6% Práctica 1 + 8% Práctica 2 + 14% Práctica 3 + 6% Test (Práctica 1+Práctica 2) + 6% Test (Práctica 3)

El grupo de inglés tendrá un cupo de máximo de 50 alumnos matriculados. **SE INTENSIFICARA LA DOCENCIA EN VHDL**. Las prácticas, que **SON ESPECÍFICAS PARA ESTA OPCIÓN**, constituirán el **40% de la nota final** de la asignatura.

NOTA: la opción de impartición en inglés supone renunciar voluntariamente a la calificación de las prácticas de cursos anteriores, en caso de no haberlas aprobado anteriormente en la propia opción de impartición en inglés.

BORRADOR

Recursos Didácticos

Descripción	Tipo	Observaciones
Fundamentos de Sistemas Digitales. T.L. Floyd; Pearson Education 2006	Bibliografía	Texto general
Sistemas Digitales. A. Lloris, A. Prieto y L. Parrilla; McGraw-Hill, 2003	Bibliografía	Texto adicional
VHDL. Lenguaje para síntesis y modelado de circuitos. F. Pardo y J. Boluda; Ed. Rama 2003	Bibliografía	Texto VHDL
Diseño de Sistemas Digitales con VHDL. S.A. Pérez, E. Soto y S. Fernández; Ed. Thomson 2003	Bibliografía	Texto adicional VHDL
Fundamentals of Digital Logicwith VHDL Design. S. Brown and Z. Vranesic; McGraw-Hill 2009	Bibliografía	Texto en inglés
http://tamarisco.datsi.fi.upm.es/ASIGNATURAS/SD/	Bibliografía	Página web de la asignatura

Otra Información

ADVERTENCIA

Los derechos y deberes de los estudiantes universitarios están desarrollados en los Estatutos de la Universidad Politécnica de Madrid (BOCM de 15 de noviembre de 2010) y el Estatuto del Estudiante Universitario (RD 1791/2010 de 30 de diciembre). El artículo 124 a) de los Estatutos de la UPM fija como deber del estudiante ... **"Seguir con responsabilidad y aprovechamiento el proceso de formación, adquisición de conocimientos, y aprendizaje correspondiente a su condición de universitario"**... y el artículo 13 del Estatuto del Estudiante Universitario, en el punto d) especifica también como deber del estudiante universitario: **"abstenerse de la utilización o cooperación en procedimientos fraudulentos en las pruebas de evaluación, en los trabajos que se realicen o en documentos oficiales de la universidad"**. En el caso de que en el desarrollo de las pruebas de evaluación se aprecie el incumplimiento de los deberes como estudiante universitario, el coordinador de la asignatura podrá ponerlo en conocimiento del Director o Decano del Centro, que de acuerdo con lo establecido en artículo 74 (n) de los Estatutos de la UPM tiene competencias para **"Proponer la iniciación del procedimiento disciplinario a cualquier miembro de la Escuela o Facultad, por propia iniciativa o a instancia de la Comisión de Gobierno"** al Rector, en los términos previstos en los estatutos y normas de aplicación.