

FUNDAMENTOS FÍSICOS Y TECNOLÓGICOS DE LA INFORMÁTICA

EXAMEN DE PRÁCTICAS DE LABORATORIO ENERO 2016

CRITERIO DE CALIFICACIÓN

Pregunta con respuesta correcta:	+2 puntos
Pregunta con respuesta incorrecta:	-1 punto
Pregunta con más de una respuesta:	-1 punto
Pregunta sin respuesta:	0 puntos

Tenga en cuenta que:

- Este test contiene 15 preguntas.
- En cada pregunta solo hay una respuesta correcta.
- El número mínimo de puntos necesarios para aprobar el test es de 15.
- Las respuestas deben marcarse, únicamente en la hoja codificada adjunta.
- Debe rellenar las casillas de Datos Personales (incluyendo número de D.N.I. y su correspondiente codificación dígito a dígito debajo de éste).
- En el apartado **clave examen** tiene que marcar la casilla: **a**

No pase esta hoja hasta que se le indique

TIEMPO PARA REALIZAR ESTE EXAMEN: 20 MINUTOS

No olvide marcar en el apartado clave examen la casilla: a

1. En la práctica del inversor CMOS diseñado con Microwind2, ¿qué capas aparecen en un contacto a sustrato?

- A**
- a) Contacto, metal 1 y difusión p+.
 - b) Contacto, metal 1, difusión p+ y pozo n+.
 - c) Contacto, metal 1, difusión n+ y pozo p+.

2. La tecnología asociada a la herramienta Microwind2 emplea:

- B**
- a) Pozo p.
 - b) Pozo n.
 - c) Pozo gemelo.

3. La función lógica realizada por el circuito de la última práctica de Microwind2 es:

- C**
- a) Una puerta Nor de tres entradas.
 - b) Una puerta Nand de tres entradas.
 - c) Un multiplexor 2 a 1.

4. En la práctica donde se pretendía estudiar el carácter rectificador de un diodo se empleó el modo X-Y para observar la variación de V_g respecto a V_d . Estando las amplitudes de los dos canales en la misma escala, la línea a 45° observada en la pantalla se corresponde a la situación en la que el diodo:

- A**
- a) No está conduciendo.
 - b) Sí está conduciendo.
 - c) Está polarizado en directa.

5. El comando “all” del programa Microwind2, se utiliza para:

- A**
- a) Que el diseño que estamos realizando se vea completo en la pantalla.
 - b) Poder utilizar todos los elementos del desplegable *Palette*.
 - c) Visualizar toda la información sobre los transistores utilizados en el diseño.

6. ¿Cuántas puertas de transmisión CMOS contenía el circuito de la última práctica de Microwind2?

- C**
- a) Ninguna.
 - b) Una.
 - c) Dos.

7. Para conseguir mayor precisión en la simulación eléctrica en Microwind2 debemos:

- A**
- a) Disminuir el valor del *time step*.
 - b) Aumentar el valor del *time step*.
 - c) Dejar el valor por defecto del *time step*.

8. ¿Cuál es la relación de aspecto de los transistores empleados en la práctica del multiplexor 2:1?

A

- a) $W_p/L_p = 12\lambda/2\lambda$ y $W_n/L_n = 4\lambda/2\lambda$
- b) $W_p/L_p = 4\lambda/2\lambda$ y $W_n/L_n = 4\lambda/2\lambda$
- c) $W_p/L_p = 12\lambda/2\lambda$ y $W_n/L_n = 12\lambda/2\lambda$

9. Cuando se quiere aumentar la amplitud de una señal visualizada en la pantalla de un osciloscopio, procedente de un generador de funciones, tenemos que manipular el control de:

C

- a) Amplitud del osciloscopio en el sentido adecuado.
- b) Escala de los tiempos del osciloscopio en el sentido adecuado.
- c) Amplitud del generador de funciones en el sentido adecuado.

10. En el osciloscopio visualizamos la señal de los canales CH-I y CH-II empleando el modo DUAL y activando, además, los botones de suma (ADD) e inversión (INV). ¿Qué escala aparece representada en el eje X para este modo?

A

- a) Escala de tiempos.
- b) Escala de amplitudes del canal CH-I.
- c) Dependiendo del modelo de osciloscopio, la escala de amplitudes del canal CH-I o la escala de amplitudes del canal CH-II.

11. En la práctica del diodo, una vez obtenida punto a punto la curva del diodo, ¿cómo determinamos su tensión umbral o de codo?

C

- a) Observando en la tabla de valores obtenidos para representa la curva, la mínima tensión para la cual el diodo está polarizado en directa.
- b) Observando en la tabla de valores obtenidos para representa la curva, la máxima tensión para la cual el diodo está polarizado en directa.
- c) Se puede determinar gráficamente, como el valor del punto de corte de la recta tangente a la zona lineal de la gráfica en directa y el eje horizontal.

12. En el osciloscopio del laboratorio se está visualizando una señal sinusoidal, conectada al canal CH-I en modo AC, estando su eje horizontal de simetría situado por debajo de la línea de referencia de la pantalla. Esto se debe a que:

B

- a) La señal es portadora de componente continua y alterna.
- b) La línea de referencia (modo GD) está por debajo de su posición centrada habitual.
- c) Solo se está visualizando la componente continua de la señal.

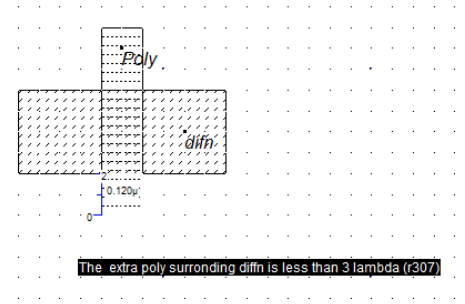
13. En el circuito de resistencia y diodo LED del laboratorio, estando encendido el LED, al conectar un diodo de uso general en paralelo al LED, el LED se apagaba porque:

B

- a) Pasaba a estar en inversa.
- b) En bornas del LED quedaban sólo los aproximadamente 0,7V de conducción directa del otro diodo.
- c) La tensión se divide entre los dos diodos, con lo cual el LED no llega a lucir.

14. Si se obtiene el siguiente mensaje al verificar reglas de diseño ello quiere decir que:

- B**
- a) El policristalino debe ser tres veces más ancho.
 - b) El policristalino debe rebasar a la difusión en tres unidades de escala.
 - c) La difusión debe ser tres veces más estrecha.



15. En la simulación eléctrica del inversor de la práctica del multiplexor 2:1 se observa que el retardo entre las señales C y nC presenta:

- C**
- a) Un valor unas 3 veces mayor para la transición de alto a bajo.
 - b) Un valor unas 2 veces menor para la transición de bajo a alto.
 - c) Un valor parecido para ambas transiciones.

FUNDAMENTOS FÍSICOS Y TECNOLÓGICOS DE LA INFORMÁTICA

EXAMEN DE TEORÍA ENERO 2016

CRITERIO DE CALIFICACIÓN

Pregunta con respuesta correcta:	+2 puntos
Pregunta con respuesta incorrecta:	-1 punto
Pregunta con más de una respuesta:	-1 punto
Pregunta sin respuesta:	0 puntos

Tenga en cuenta que:

- Este test contiene 15 preguntas.
- En cada pregunta solo hay una respuesta correcta.
- El número mínimo de puntos necesarios para aprobar el test es de 15.
- Las respuestas deben marcarse, únicamente en la hoja codificada adjunta.
- Debe rellenar las casillas de Datos Personales (incluyendo número de D.N.I. y su correspondiente codificación dígito a dígito debajo de éste).
- En el apartado **clave examen** tiene que marcar la casilla: **a**

No pase esta hoja hasta que se le indique

TIEMPO PARA REALIZAR ESTE EXAMEN: 20 MINUTOS

No olvide marcar en el apartado clave examen la casilla: a

1. ¿Cuáles son las zonas de funcionamiento de un transistor MOS?

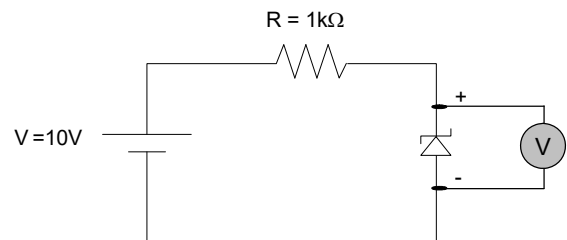
B

- a) On y Off.
- b) Corte, lineal y saturación.
- c) Corte, activa directa, activa inversa y saturación.

2. ¿Cuál será la diferencia de potencial que mediremos en este circuito sabiendo que la tensión Zener del diodo es de 3,3V y su tensión umbral es de 0,7V?

B

- a) 0,7V
- b) 3,3V
- c) 10V



3. Si en un transistor MOS de acumulación sabemos que su tensión umbral es $V_t < 0$ podemos afirmar que:

A

- a) El transistor es de tipo pMOS.
- b) El transistor es de tipo nMOS.
- c) El transistor será de tipo nMOS si además se verifica que $(V_{gs} - V_t) > V_{ds}$, siendo de tipo pMOS en caso contrario.

4. ¿En un layout cómo representamos en código de barras la capa de pozo?

C

- a) Mediante una línea continua gruesa.
- b) Mediante la letra P si el pozo es de tipo p.
- c) No se representa.

5. En un diodo de unión p-n, la polarización en directa:

B

- a) Aumenta la zona de espacio de carga facilitando el paso de corriente
- b) Disminuye la zona de espacio de carga facilitando el paso de corriente
- c) La zona de espacio de carga depende únicamente de la densidad de impurezas dopantes y no de la polarización del diodo.

6. En un semiconductor extrínseco tipo p entre los niveles energéticos del fondo de la banda de conducción E_c y del techo de la banda de valencia E_v encontramos adicionalmente:

C

- a) Indistintamente, un nivel aceptador o donador con un nivel de energía de valor $(E_c - E_v)/2$.
- b) Un nivel donador próximo a la banda de conducción.
- c) Un nivel aceptador próximo a la banda de valencia.

7. La necesidad de incorporar los contactos de polarización de pozo y sustrato en un circuito CMOS tiene por misión:

- B**
- a) Evitar que los niveles de tensión en la salida sufran una degradación de valor $|V_i|$.
 - b) Evitar la aparición del efecto latch-up.
 - c) Equilibrar los retardos de propagación asociados a los transistores pMOS y nMOS, respectivamente.

8. En un inversor CMOS sabemos que los dos transistores tienen igual relación de aspecto (W/L). ¿Qué podremos afirmar respecto a los retardos de propagación de alto a bajo t_{HL} y de bajo a alto

- B** t_{LH} ?
- a) $t_{HL} = t_{LH}$
 - b) $t_{HL} < t_{LH}$
 - c) $t_{HL} > t_{LH}$

9. ¿En qué tipo de semiconductor las concentraciones de portadores son iguales dado que se generan a pares?

- A**
- a) Semiconductor intrínseco.
 - b) Semiconductor extrínseco tipo p.
 - c) Semiconductor extrínseco tipo n.

10. En una puerta de transmisión CMOS formada por un transistor pMOS y otro nMOS:

- A**
- a) Los niveles bajos de tensión se transmiten por el transistor nMOS
 - b) Los niveles bajos de tensión se transmiten por el transistor pMOS
 - c) Dada la simetría los niveles bajos de tensión se reparten por igual por ambos transistores.

11. En un transistor nMOS en ausencia de tensión entre drenador y fuente se podría afirmar que la diferencia entre ambas zonas es:

- A**
- a) Ninguna.
 - b) La zona de fuente presenta mayor densidad de impurezas que la zona de drenador.
 - c) La fuente se construye con un material semiconductor intrínseco fuertemente dopado.

12. ¿Qué terminal del transistor MOS está separado por medio de una capa de material aislante del resto de la estructura del transistor?

- B**
- a) Fuente.
 - b) Puerta.
 - c) Sustrato

13. ¿Qué capas de las disponibles en el diseño de circuitos CMOS (para un proceso tecnológico de pozo n) están involucradas en un contacto de polarización a pozo?

- A**
- a) Contacto, metal, difusión n+ y pozo n.
 - b) Contacto, metal y pozo n.
 - c) Contacto, difusión n+ y pozo n.

14. La constante de tiempo para una transición de alto a bajo en un punto de un circuito CMOS depende del:

- B**
- a) Producto de la resistencia que se observe desde ese punto hasta alimentación por la capacidad total de las puertas conectadas a ese punto.
 - b) Producto de la resistencia que se observe desde ese punto hasta masa por la capacidad total de las puertas conectadas a ese punto.
 - c) Cociente de la resistencia que se observe desde ese punto hasta alimentación entre la capacidad total de las puertas conectadas.

15. ¿Qué tipo de material forma el cátodo de un diodo?

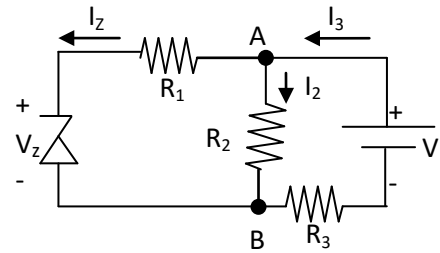
- C**
- a) Semiconductor intrínseco.
 - b) Semiconductor extrínseco tipo p.
 - c) Semiconductor extrínseco tipo n.

Solución Problema 1 del Segundo Examen parcial (18 enero 2016)

Problema 1 (10 puntos). Considerando el circuito de la figura, de pide:

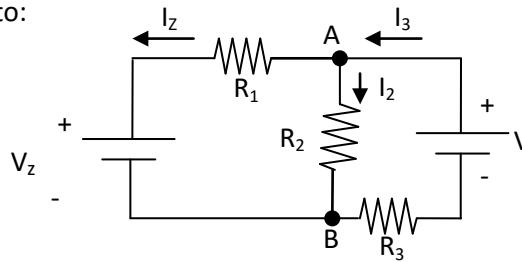
- Determinar las corriente de rama I_Z , I_2 , I_3 (3 puntos).
- Determinar V_{AB} , por los tres caminos posibles (3 puntos).
- Verificar el Equilibrio de potencias (4 puntos).

Datos: $V = 12V$; $V_Z = 4V$; $R_1 = 2K\Omega$; $R_2 = 4K\Omega$; $R_3 = 1K\Omega$



Observando el circuito, establecemos que el diodo Zener, está polarizado en Inversa, por la fuente de tensión V cuyo valor es suficiente para que conduzca en inversa con su tensión Zener $V_Z = 4 V$.

El circuito equivalente del dado será por tanto:



a) Determinar las corriente de rama I_Z , I_2 , I_3

Para determinar las corrientes de rama se va a utilizar el Método de Tensiones en los Nudo, Tomando el nudo B de referencia ($V_B = 0 V$). La ecuación del nudo A, me permitirá obtener directamente V_A .

Una vez obtenido el valor de V_A , los corrientes pedidas se obtendrán directamente sustituyendo el valor de V_A y los datos del problema en las expresiones correspondientes que son:

$$I_Z = \frac{V_{AB} - V_Z}{R_1} ; \quad I_2 = \frac{V_{AB}}{R_2} ; \quad I_3 = -\frac{V_{AB} - V}{R_3} ; \text{ siendo } V_{AB} = V_A - V_B = V_A$$

Ecuación del Nudo A

$$\frac{V_{AB} - V_Z}{R_1} + \frac{V_{AB}}{R_2} + \frac{V_{AB} - V}{R_3} = 0 ; \text{ despejando se obtiene } V_{AB} = \frac{V_Z R_2 R_3 + V R_1 R_2}{R_2 R_3 + R_1 R_3 + R_1 R_2} = 8 V$$

Sustituyendo queda:

$$I_Z = \frac{V_{AB} - V_Z}{R_1} = \frac{(8 - 4)V}{2K\Omega} = 2mA ; \quad I_2 = \frac{V_{AB}}{R_2} = \frac{8V}{4K\Omega} = 2mA ; \quad I_3 = -\frac{V_{AB} - V}{R_3} = -\frac{(8 - 12)V}{1K\Omega} = 4mA$$

a) Determinar V_{AB} , por los tres caminos posibles (3 puntos).

- 1er camino de A a B por V : $V_{AB} = V - I_3 R_3 = 12 - 4 * 1 = 8 V$
- 2º camino de A a B por R_2 : $V_{AB} = I_2 R_2 = 2 * 4 = 8 V$
- 3er camino de A a B por R_1 : $V_{AB} = V_Z + I_Z R_1 = 4 + 2 * 2 = 8 V$

b) Verificar el Equilibrio de potencias

Potencia proporcionada por el generador = $P_g = V I_3 = 12k\Omega * 4mA = 48 mW$.

Potencia consumida en el Diodo Zener = $P_z = V_z I_z = 4k\Omega * 2mA = 8 mW$.

Potencia consumida en la resistencia $R_1 = P_{R1} = I_z^2 R_1 = (2k\Omega)^2 * 2mA = 8 mW$.

Potencia consumida en la resistencia $R_2 = P_{R2} = I_2^2 R_2 = (2k\Omega)^2 * 4mA = 16 mW$.

Potencia consumida en la resistencia $R_3 = P_{R3} = I_3^2 R_3 = (4k\Omega)^2 * 1mA = 16 mW$.

Potencia total consumida = $P_z + P_{R1} + P_{R2} + P_{R3} = 8 mW + 8 mW + 16 mW + 16 mW = 48 mW$, que coincide con la potencia generada, 48mW, quedando así verificado el equilibrio de potencias.

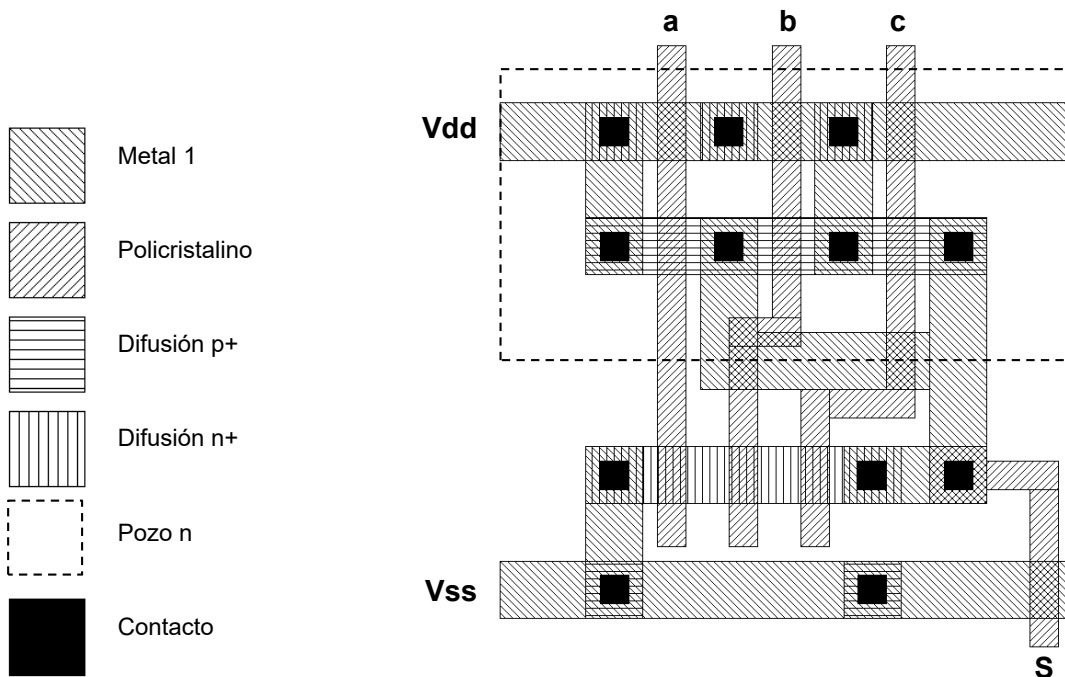
Fundamentos Físicos y Tecnológicos de la Informática

Enero 2016

NOMBRE

APELLIDOS

Problema 2 (10 puntos). El *layout* de la figura representa un circuito desarrollado en tecnología CMOS que tiene como entradas las señales *a*, *b*, *c* y como salida la señal *S*.



Se pide:

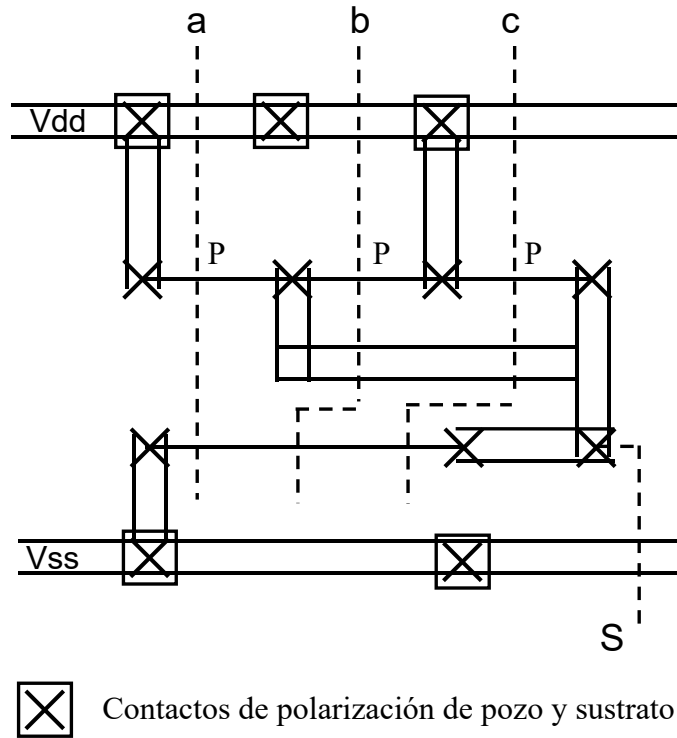
- Realizar la representación del circuito utilizando el código de barras. Indíquese los contactos de polarización de sustrato y pozo utilizando para ello un código propio, que además deberá ser especificado (5 puntos).
- Representar el esquema eléctrico del circuito anterior utilizando símbolos de transistores (3 puntos).
- Determinar qué valor o valores de tensión (V_{dd} o V_{ss}) aplicadas en las entradas *a*, *b* y *c* producirán en la salida una tensión $V_s = V_{ss}$. (2 puntos).

Fundamentos Físicos y Tecnológicos de la Informática

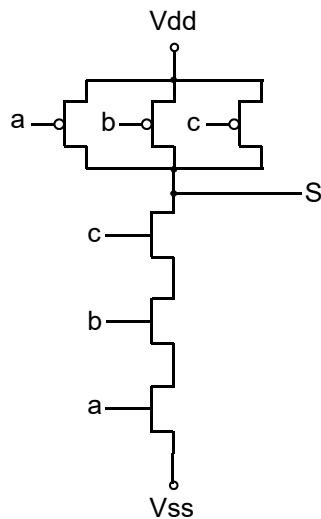
Enero 2016

Solución:

a)



b)



c)

Para que la tensión en la salida sea $V_s = V_{ss}$, los 3 transistores nMOS deberán tener simultáneamente su canal formado. Esto implica que $V_a = V_b = V_c = V_{dd}$.