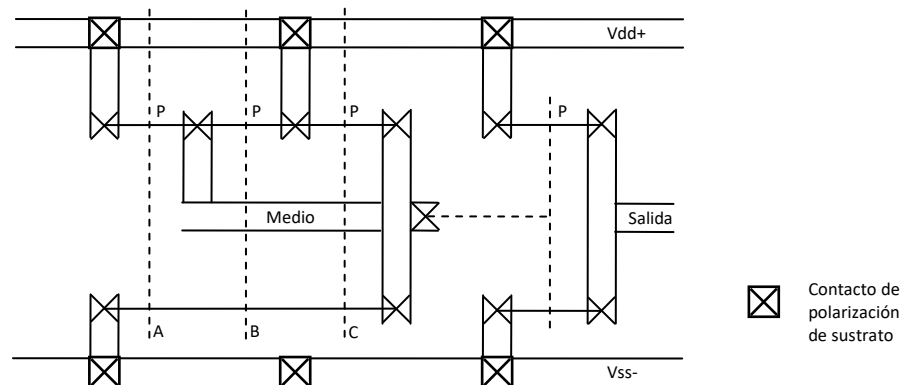


Práctica 6 (Salas Informáticas – 2h)

“Diseño de una puerta AND de tres entradas en tecnología CMOS”

A. Introducción

Se pide diseñar una puerta AND de tres entradas a partir de una puerta NAND a la que se le ha añadido un inversor en la salida y cuyo diagrama de barras se presenta a continuación:



B. Desarrollo de la práctica

- Utilizando el editor de la herramienta Microwind2 realizar el *layout* del circuito. Verificar que en todo momento se cumplen las reglas de diseño. Guardar el *layout* como “**Practica6.msk**”. Adjuntar a la memoria final a entregar la imagen del *layout* capturada de la pantalla, bien por medio de alguna aplicación gráfica, o pulsando las teclas *Alt* y *Print Screen*. El diseño del *layout* deberá respetar las siguientes restricciones:
 - Las dimensiones de los canales deben ser:
 - Transistores nMOS: $Wn = 4\lambda$ $Ln = 2\lambda$
 - Transistores pMOS: $Wp = 8\lambda$ $Lp = 2\lambda$
 - Las dimensiones del *layout* no deben sobrepasar un área de $48\lambda (H) \times 68\lambda (V)$.
 - Las entradas y salidas se etiquetarán tal y como aparecen en la figura anterior: **A**, **B** y **C** para las entradas, el nodo de salida de la puerta NAND como **Medio**, la salida del circuito como **Salida** y las tensiones de polarización como **Vdd+** y **Vss-**.
 - Añadir en la salida del circuito (**Salida**) una capacidad de carga de **0.01 pF**.
- Utilizando la herramienta de corte de Microwind2 realizar un corte transversal de los contactos de polarización del sustrato *p* y del pozo *n*. Adjuntar a la memoria la imagen capturada de ambos cortes y etiquetar de forma clara todas las capas visualizadas.
- Siguiendo la misma técnica empleada en el punto 2, realizar un corte transversal de los transistores pMOS y nMOS. Adjuntar a la memoria la imagen capturada de ambos cortes e identificar de forma clara todas las capas visualizadas, etiquetándolas con sus respectivos nombres.

4. Realizar la simulación eléctrica del circuito asignando a las entradas **A**, **B** y **C** las señales de reloj cuyas características se especifican a continuación

Entrada A: $t_l = 0.225$; $t_r = 0.025$; $t_h = 0.225$; $t_f = 0.025$ (ns)

Entrada B: $t_l = 0.975$; $t_r = 0.025$; $t_h = 0.975$; $t_f = 0.025$ (ns)

Entrada C: $t_l = 1.975$; $t_r = 0.025$; $t_h = 1.975$; $t_f = 0.025$ (ns)

5. Hacer una captura de la pantalla en la que se visualicen claramente las cinco señales: **A**, **B**, **C**, **Medio** y **Salida**, modificando previamente la escala de tiempos a **5 ns**, el paso de simulación a **0.01 ps** y eligiendo a las señales **A** y **Medio** para observar los retardos que se producen en las dos transiciones entre dichas señales. Mantener el resto de los parámetros de la simulación en sus valores por defecto. Adjuntar la imagen capturada a la memoria y comentar razonadamente, en términos de resistencia equivalente de los transistores, el por qué de la diferencia de esos retardos en una transición y en otra.
6. Hacer una captura de la pantalla en la que se visualicen claramente las cinco señales: **A**, **B**, **C**, **Medio** y **Salida**, modificando previamente la escala de tiempos a **5 ns**, el paso de simulación a **0.01 ps** y eligiendo a las señales **Medio** y **Salida** para observar los retardos que se producen en las dos transiciones entre dichas señales. Mantener el resto de los parámetros de la simulación en sus valores por defecto. Adjuntar la imagen capturada a la memoria y comentar razonadamente, en términos de resistencia equivalente de los transistores, el por qué de la diferencia de esos retardos en una transición y en otra.

C. Instrucciones finales.

1. Antes de finalizar la sesión de laboratorio, los alumnos deberán subir a la web de “*Fundamentos Físicos y Tecnológicos de la Informática*” ⁽¹⁾, un fichero **.ZIP** que contenga el fichero en formato **.MSK** con el diseño realizado con Mcrowind2 durante la sesión y, opcionalmente, capturas de pantalla que configurarán la memoria final referida en el punto 3 del apartado B.
2. El nombre del fichero **.ZIP** no podrá contener espacios, acentos, ni otros caracteres reservados.
3. Con posterioridad a la sesión y siempre antes de la fecha límite de entrega ⁽²⁾, los alumnos deberán preparar una memoria con toda la información solicitada en el apartado B, desarrollo de la práctica. La memoria en formato **.PDF** deberá contener una portada con el título de la práctica: “Diseño de una puerta AND de tres entradas en tecnología CMOS”, los nombres y apellidos de los autores, grupo al que pertenecen y sus respectivos números de matrícula.
4. Se deberá subir a la web de “*Fundamentos Físicos y Tecnológicos de la Informática*”, un fichero **.ZIP** que contenga el fichero en formato **.MSK** con el diseño realizado y el documento en formato **.PDF** que contenga la memoria.

⁽¹⁾ <http://tamarisco.datsi.fi.upm.es/ASIGNATURAS/FFyTI/practicas/entrega.html>

⁽²⁾ Fecha límite de entrega: lunes **09 de enero** de 2017, a las **23:59 h**.